

(19)日本国特許庁 (JP)

(12) 特許公報 (B1)

(11)特許番号

第2978477号

(45)発行日 平成11年(1999)11月15日

(24)登録日 平成11年(1999)9月10日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/115  
21/8247  
29/788  
29/792

識別記号

F I

H 0 1 L 27/10  
29/78

4 3 4  
3 7 1

請求項の数19(全33頁)

(21)出願番号 特願平10-165733

(22)出願日 平成10年(1998)6月12日

審査請求日 平成10年(1998)6月12日

(73)特許権者 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 宿利 章二

東京都小平市上水本町五丁目20番1号  
株式会社日立製作所 半導体事業部内

(72)発明者 目黒 怜

東京都小平市上水本町五丁目20番1号  
株式会社日立製作所 半導体事業部内

(72)発明者 黒田 謙一

東京都小平市上水本町五丁目20番1号  
株式会社日立製作所 半導体事業部内

(74)代理人 弁理士 筒井 大和

審査官 正山 旭

最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

1

(57)【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、

前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記メモリセルの書き込みは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

2

【請求項2】 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低く、前記第1半導体領域側でホットエレクトロンを発生させることにより、前記窒化シリコン膜に前記ホットエレクトロンを注

10

入することを特徴とする半導体集積回路装置。

【請求項3】 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度と異なることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または3記載の半導体集積回路装置であって、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低いことを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2または4記載の半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側が前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなることを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側と前記第2半導体領域側とがほぼ同じ電気的容量膜厚を有していることを特徴とする半導体集積回路装置。

【請求項7】 請求項1、2、4、5または6記載の半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側および前記第2半導体領域側が、前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなることを特徴とする半導体集積回路装置。

【請求項8】 請求項1、3、4、5、6または7記載の半導体集積回路装置であって、前記メモリセルの書き込みは、前記ゲート絶縁膜の一部を構成する前記窒化シリコン膜中にホットエレクトロンを注入して行うことを特徴とする半導体集積回路装置。

【請求項9】 請求項1～8のいずれか一項に記載の半導体集積回路装置であって、前記ゲート絶縁膜の少なくとも一部を構成する前記3層の絶縁膜のうち、前記窒化シリコン膜の下層に形成された前記第1酸化シリコン膜の膜厚は、直接トンネル電流が流れる膜厚よりも厚いことを特徴とする半導体集積回路装置。

【請求項10】 請求項1～9のいずれか一項に記載の

半導体集積回路装置であって、前記第2半導体領域は、その一端が前記ゲート電極の下部に延在する第1導電型の半導体領域と、その一端が前記ゲート電極から離間した第2導電型の半導体領域とからなり、前記第1半導体領域は、第2導電型で構成されていることを特徴とする半導体集積回路装置。

【請求項11】 請求項1～10のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルの読み出しが、前記第1半導体領域を前記第2半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【請求項12】 請求項1～10のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルの読み出しが、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【請求項13】 請求項1～12のいずれか一項に記載の半導体集積回路装置であって、前記第1、第2半導体領域の一方の上部の絶縁膜に形成された第1接続孔に埋め込まれたプラグによってソース線が形成され、前記第1、第2半導体領域の他方の上部の前記絶縁膜に形成された第2接続孔に埋め込まれたプラグを介して、前記第1、第2半導体領域の他方にピット線が接続されていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、前記第1接続孔および前記第2接続孔は、前記MISFETのゲート電極のスペースに対して自己整合で形成されていることを特徴とする半導体集積回路装置。

【請求項15】 請求項1～14のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルは、記憶素子部を構成する前記MISFETと、選択用のMISFETとで構成されていることを特徴とする半導体集積回路装置。

【請求項16】 請求項1～9、11～15のいずれか一項に記載の半導体集積回路装置であって、前記第1半導体領域と前記第2半導体領域とは同一の導電型であることを特徴とする半導体集積回路装置。

【請求項17】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法：

(a) 半導体基板上に第2酸化シリコン膜を形成した後、前記第2酸化シリコン膜の上部に形成した導体膜をパターニングすることにより、MISFETのゲート電極を形成する工程、

(b) 前記ゲート電極の上部を含む前記半導体基板上に第2窒化シリコン膜を形成した後、前記第2窒化シリコン膜の上部に第4酸化シリコン膜を形成する工程、

(c) 前記第4酸化シリコン膜および前記第2窒化シリコン膜をエッチングすることにより、前記MISFETの前記ゲート電極の上部および側壁を露出させる工程、

(d) 前記第2酸化シリコン膜を等方的にエッチングすることにより、前記ゲート電極の下部の第1領域において、前記ゲート電極の下面と前記半導体基板とを露出させ、前記ゲート電極の下部の第2領域において、前記第2酸化シリコン膜を残す工程、

(e) 前記半導体基板を熱処理することにより、前記第1領域において、前記半導体基板の表面および前記ゲート電極の下面に第1酸化シリコン膜を形成する工程、

(f) 前記第1領域において、前記半導体基板の表面に形成された前記第1酸化シリコン膜と、前記ゲート電極の下面に形成された前記第1酸化シリコン膜との隙間を含む前記半導体基板上に第2窒化シリコン膜を形成する工程。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、前記ゲート電極の前記第1領域側の端部に自己整合的に不純物を導入して、前記半導体基板内に第1半導体領域を形成する工程と、前記ゲート電極の前記第2領域側の端部に自己整合的に不純物を導入して、前記半導体基板内に第2半導体領域を形成する工程とを含み、前記第1半導体領域の不純物濃度を前記第2半導体領域の不純物濃度よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項17または18記載の半導体集積回路装置の製造方法であって、前記MISFETは不揮発性メモリを構成し、周辺回路を構成するMISFETのゲート電極と、前記不揮発性メモリを構成するMISFETのゲート電極とは、同一の導電膜をパターニングする工程で形成され、前記周辺回路を構成するMISFETのゲート絶縁膜は、前記第2酸化シリコン膜を形成する工程で形成されることを特徴とする半導体集積回路装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、絶縁膜トラップを電荷の蓄積領域とした单一MISFET構造の不揮発性メモリを有する半導体集積回路装置に適用して有効な技術に関する。

##### 【0002】

【従来の技術】 シリコン基板上に形成される不揮発性メモリの基本セル構造は、ゲート酸化膜とその上部のコントロールゲート（ワード線）との間に設けられ、周囲と電気的に絶縁されたフローティング（浮遊）ゲートを電荷の蓄積領域とする、いわゆるフローティングゲート型と、このようなフローティングゲートを持たず、ゲート絶縁膜が酸化シリコン膜と窒化シリコン膜との積層膜で構成され、上記窒化シリコン膜中にトラップされた電子を電荷の蓄積領域とするMNOS（Metal-gate Nitride Oxide Silicon）型とに大別される。

【0003】 図52は、フローティングゲート型メモリ

セルの代表的なセル構造を示す断面図である。このメモリセルは、シリコン基板101の主面上に形成された膜厚10nm程度のゲート酸化膜102の上部にフローティングゲート103、層間絶縁膜104およびコントロールゲート（CG）105を順次形成し、フローティングゲート103の両側のシリコン基板101にソース（S）106およびドレイン（D）107を形成した構造になっている。

【0004】 メモリセルの書き込みは、フローティングゲート103中に電子108を注入し、コントロールゲート105から見たトランジスタのしきい値電圧（Vth）を電子108の蓄積のない状態に比較して3V～5V程度上昇させることによって行う。また、フローティングゲート103への電子108の注入は、アバランシェ・ブレークダウンによって発生するドレイン107近傍のホットエレクトロンをコントロールゲート105に印加した正電圧によってフローティングゲート103へ引き込む方式が主流である。

【0005】 一方、図53は、MNOS型メモリセルの代表的なセル構造を示す断面図である。このメモリセルは、シリコン基板111の主面上に形成された膜厚2nm程度の直接トンネル酸化膜112の上部に窒化シリコン膜113および書き込み／消去用のゲート電極（PEG）115aが順次形成され、ゲート電極115aの両側のシリコン基板111にソース（S）116および接続拡散層（ドレイン）117が形成されたMISFET（記憶素子部）と、ゲート酸化膜118の上部に選択用のゲート電極（SG）115bが形成され、ゲート電極115bの両側のシリコン基板111に接続拡散層（ソース）117およびドレイン（D）119が形成された選択用MISFETとで構成されている。

【0006】 メモリセルの書き込みは、シリコン基板111および書き込み／消去用のゲート電極115aの電位を制御し、直接トンネル酸化膜112を介してシリコン基板111側から窒化シリコン膜113中へ電子108を全面注入してトラップさせることにより、記憶素子部のMISFETのしきい値電圧を上昇させて行う。また、消去も同様に、シリコン基板111およびゲート電極115aの電位を制御し、窒化シリコン膜113中にトラップさせた電子をシリコン基板111側へ放出することにより、記憶素子部のMISFETのしきい値電圧を下降させて行う。この消去動作の際には、記憶素子部のしきい値電圧を0V以下、すなわちデプレッション領域まで低下させるので、読み出しを行うためには記憶素子部のMISFET以外に前記した選択用MISFETが必要となる。

【0007】 上記MNOS型メモリセルは、絶縁膜（窒化シリコン膜113）中に電子をトラップさせる動作方式であることから、トラップされた電子はそれぞれ独立にしきい値電圧の変調に寄与している。そのため、直接

トンネル膜 112 中の欠陥に起因した窒化シリコン膜 113 中の電子の部分的な漏洩による、記憶素子部のチャネル全域にわたるしきい値電圧の変動が非常に小さい。言い替えると、リテンション特性が優れており、信頼度の高いメモリセル方式であると言える。

【0008】図54は、米国特許(USP)第5408115号に記載され、“Self-Aligned Split-Gate EEPROM Device”と名付けられたセル構造を示す断面図である。このメモリセルは、シリコン基板121の主面上にゲート酸化膜122および選択用ゲート電極(SG)123を積層し、それらの側壁部に酸化シリコン膜124、窒化シリコン膜125および酸化シリコン膜126からなる3層の絶縁膜を介してサイドウォールゲート電極(SWG)127を形成した構造になっている。また、ソース(S)128は、このサイドウォールゲート電極(SWG)127をマスクとするイオン注入により形成され、ドレイン(D)129は、前記選択用ゲート電極123をマスクとするイオン注入により形成されている。

【0009】メモリセルの書き込みは、“1997 Symposium on VLSI Technology Digest of Technical Papers p63-p64”に記載されているように、ドレイン129を接地電位とし、ソース128、サイドウォールゲート電極127および選択ゲート電極123にそれぞれ5V、9V、1Vの電圧を印加することによって行う。

【0010】図55は、上記メモリセルの書き込み動作時におけるチャネル領域の電位分布と電界強度分布を示している。ソース(S)ードレイン(D)間に印加された電圧(5V)は、その大半がソース(S)の空乏層に印加されるので、図示のように、チャネル方向に沿った電界強度はサイドウォールゲート電極(SWG)の直下において最大値となる。そのため、ドレイン(D)からチャネル領域へ走行してきた電子は、ソース(S)近傍の高電界領域で加速されてアバランシェ・ブレークダウンを引き起こし、このとき発生したホットエレクトロンがサイドウォールゲート電極(SWG)による縦方向の高電界によって窒化シリコン膜(125)中に注入、トラップされる。すなわち、サイドウォールゲート電極(SWG)の直下の窒化シリコン膜(125)に電子がトラップされることにより、サイドウォールゲート電極(SWG)から見たしきい値電圧が上昇する。このホットエレクトロンによる書き込み方式は、前述したフローティングゲート型メモリセルにおけるドレイン近傍のホットエレクトロンをフローティングゲートへ引き込む方式と基本的に同一である。

【0011】また、上記メモリセルの読み出しへ、ソース(128)を接地電位とし、サイドウォールゲート電極(127)と選択用ゲート電極(123)とに1.8Vの電圧を印加し、窒化シリコン膜(125)中の電子トラップの有無によるサイドウォールゲート電極(127)

7)から見たしきい値電圧の変調をドレイン電流から判定する。このメモリセルは、ホットエレクトロンを用いて書き込みを行うために、電子をトラップさせる窒化シリコン膜(125)の直下の酸化シリコン膜(124)を前述したMOS型メモリセルの直接トンネル酸化膜よりも厚い膜厚(例えば10nm程度)で形成しても書き込み速度が劣化しない。また、この酸化シリコン膜(124)を厚い膜厚にするほど欠陥密度が減少し、結果的にメモリセルのリテンション特性が改善する。

10 【0012】IEEE Electron Device Letters, (vol. EDL-8, no. 3, pp. 93-95, March 1987)は、コントロールゲートを持たない単一MISFET構造の不揮発性メモリを開示している。この不揮発性メモリのメモリセルは、ゲート絶縁膜の上部に形成された多結晶シリコンのゲート電極と、このゲート電極の両側の半導体基板に形成されたソース、ドレインとで構成されており、ゲート絶縁膜は、2層の酸化シリコン膜の間に窒化シリコン膜を挟んだ3層構造で構成されている。

20 【0013】メモリセルの書き込みは、ドレイン近傍のキャリヤを窒化シリコン膜中に注入、トラップすることによって行う。このメモリセルは、2層の酸化シリコン膜に挟まれた窒化シリコン膜中のキャリヤがドレイン近傍の狭い領域に局在するために、MOS型メモリセルに比べてリテンション特性が優れている。

【0014】特開平6-232416号公報は、ソースとドレインとの間のチャネル領域の上部にゲート絶縁膜とキャリヤを保持するトラップ膜とが連なって形成され、このゲート絶縁膜とトラップ膜との上部にゲート電極が形成された単一MISFET構造の不揮発性メモリを開示している。ゲート絶縁膜は酸化シリコン膜で構成され、トラップ膜は2層の酸化シリコン膜の間に窒化シリコン膜を挟んだ3層構造で構成されている。

30 【0015】メモリセルの書き込みは、トラップ膜の一部を構成する下層の酸化シリコン膜(トンネル酸化膜)を通じて電子を窒化シリコン膜注入、トラップすることによって行う。このメモリセルは、通常のエンハンスマントMISFETのゲート絶縁膜とキャリヤを保持するメモリ部のトラップ膜とを单一ゲート電極の下部に形成するので、セル面積を縮小することができる。

40 【0016】  
【発明が解決しようとする課題】前述したフローティングゲート型メモリセルは、フローティングゲートの上部にコントロールゲート(ワード線)を積層することから、セル面積を比較的小さく設計することができ、大容量化に適したセル構造となっている。一方、MOS型メモリセルは、フローティングゲート型メモリセルに比べてリテンション特性が優れており、信頼度の高いセル方式であると言えるが、記憶素子部と選択用とに2つの基本素子を必要とするために、同一設計ルールでのセル面積がフローティングゲート型メモリセルの4~5倍程

度大きくなり、大容量化には適さないという欠点がある。

【0017】また、米国特許(USP)第5408115号に開示されたメモリセルは、フローティングゲート型メモリセルに匹敵するスケーラビリティとMNOS型メモリセルと同等以上の高い信頼性とを有している。しかしながら、選択用ゲート電極とサイドウォールゲート電極とを有するセル構造は、フローティングゲート型メモリセルに比べて書き込み／消去動作が複雑になり、結果として必要とする周辺回路の面積が増加する。しかも、サイドウォールゲート電極の幅が100nm程度あるため、その配線抵抗値が通常のゲート抵抗の5～7倍に増大し、これが読み出し速度の劣化を招いている。さらに、選択用ゲート電極とサイドウォールゲート電極との間、すなわち酸化シリコン膜(124)、窒化シリコン膜(125)および酸化シリコン膜(126)が横方向に積層された領域の直下のチャンネル領域は、その幅が30nm程度と僅かではあるが、その上部にゲート電極が存在していない。そのため、この領域が寄生抵抗として作用し、読み出し時のドレイン電流を低下させて読み出し速度を劣化させるという問題がある。

【0018】本発明の目的は、フローティングゲート型メモリセルに匹敵するスケーラビリティとMNOS型メモリセルと同等以上の高い信頼性とを併せ持った新規なセル構造を備えた不揮発性メモリおよびその製造方法を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】本願発明の不揮発性メモリは、第1導電型の半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記メモリセルの書き込みは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【0024】1. 第1導電型の半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記メモリセルの書き込みは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【0025】2. 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低く、前記第1半導体領域側でホットエレクトロンを発生させることにより、前記窒化シリコン膜に前記ホットエレクトロンを注入することを特徴とする半導体集積回路装置。

【0026】3. 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度と異なることを特徴とする半導体集積回路装置。

【0027】4. 前記請求項1または3において、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低いことを特徴とする半導体集積回路装置。

【0028】5. 前記請求項1、2または4において、

【0022】前記メモリセルの書き込みは、選択したメモリセルの前記第2半導体領域を前記第1半導体領域よりも高電位にし、低不純物濃度の第2導電型半導体領域で発生したホットエレクトロンを窒化シリコン膜中の電子トラップに注入することにより行う。

【0023】その他、本願に記載された発明の概要を項目別に説明すれば、以下の通りである。

前記ゲート絶縁膜は、前記第1半導体領域側が前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなることを特徴とする半導体集積回路装置。

【0029】6. 前記請求項1～5のいずれか一項において、前記ゲート絶縁膜は、前記第1半導体領域側と前記第2半導体領域側とがほぼ同じ電気的容量膜厚を有していることを特徴とする半導体集積回路装置。

【0030】7. 前記請求項1、2、4、5または6において、前記ゲート絶縁膜は、前記第1半導体領域側および前記第2半導体領域側が、前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなることを特徴とする半導体集積回路装置。

【0031】8. 前記請求項1、3、4、5、6または7において、前記メモリセルの書き込みは、前記ゲート絶縁膜の一部を構成する前記窒化シリコン膜中にホットエレクトロンを注入して行うことを特徴とする半導体集積回路装置。

【0032】9. 前記請求項1～8のいずれか一項において、前記ゲート絶縁膜の少なくとも一部を構成する前記3層の絶縁膜のうち、前記窒化シリコン膜の下層に形成された前記第1酸化シリコン膜の膜厚は、直接トンネル電流が流れる膜厚よりも厚いことを特徴とする半導体集積回路装置。

【0033】10. 前記請求項1～9のいずれか一項において、前記第2半導体領域は、その一端が前記ゲート電極の下部に延在する第1導電型の半導体領域と、その一端が前記ゲート電極から離間した第2導電型の半導体領域とからなり、前記第1半導体領域は、第2導電型で構成されていることを特徴とする半導体集積回路装置。

【0034】11. 前記請求項1～10のいずれか一項において、前記メモリセルの読み出しへは、前記第1半導体領域を前記第2半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【0035】12. 前記請求項1～10のいずれか一項において、前記メモリセルの読み出しへは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【0036】13. 前記請求項1～12のいずれか一項において、前記第1、第2半導体領域の一方の上部の絶縁膜に形成された第1接続孔に埋め込まれたプラグによってソース線が形成され、前記第1、第2半導体領域の他方の上部の前記絶縁膜に形成された第2接続孔に埋め込まれたプラグを介して、前記第1、第2半導体領域の他方にビット線が接続されていることを特徴とする半導体集積回路装置。

【0037】14. 前記請求項13において、前記第1接続孔および前記第2接続孔は、前記MISFETのゲ

ート電極のスペースに対して自己整合で形成されていることを特徴とする半導体集積回路装置。

【0038】15. 請求項1～14のいずれか一項において、前記メモリセルは、記憶素子部を構成する前記MISFETと、選択用のMISFETとで構成されていることを特徴とする半導体集積回路装置。

【0039】16. 請求項1～9、11～15のいずれか一項において、前記第1半導体領域と前記第2半導体領域とは同一の導電型であることを特徴とする半導体集積回路装置。

【0040】17. 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に第1酸化シリコン膜を形成した後、前記第1酸化シリコン膜の上部に窒化シリコン膜を形成する工程、(b) 前記第1酸化シリコン膜および前記窒化シリコン膜をバーニングすることにより、前記半導体基板上の第1領域に前記第1酸化シリコン膜および前記窒化シリコン膜を残し、第2領域の前記第1酸化シリコン膜および前記窒化シリコン膜を除去する工程、

20 (c) 前記半導体基板上の前記第1領域の前記窒化シリコン膜の上部および前記半導体基板上の前記第2領域に第2酸化シリコン膜を形成する工程、(d) 前記第2酸化シリコン膜の上部に形成した導体膜をバーニングすることにより、前記第1、第2領域の前記第2酸化シリコン膜上にMISFETのゲート電極を形成する工程。

【0041】18. 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に第2酸化シリコン膜を形成した後、前記第2酸化シリコン膜の上部に形成した導体膜を

30 バーニングすることにより、MISFETのゲート電極を形成する工程、(b) 前記ゲート電極の上部を含む前記半導体基板上に第2窒化シリコン膜を形成した後、前記第2窒化シリコン膜の上部に第4酸化シリコン膜を形成する工程、(c) 前記第4酸化シリコン膜および前記第2窒化シリコン膜をエッティングすることにより、前記MISFETの前記ゲート電極の上部および側壁を露出させる工程、(d) 前記第2酸化シリコン膜を等方にエッティングすることにより、前記ゲート電極の下部の第1領域において、前記ゲート電極の下面と前記半導体

40 基板とを露出させ、前記ゲート電極の下部の第2領域において、前記第2酸化シリコン膜を残す工程、(e) 前記半導体基板を熱処理することにより、前記第1領域において、前記半導体基板の表面および前記ゲート電極の下面に第1酸化シリコン膜を形成する工程、(f) 前記第1領域において、前記半導体基板の表面に形成された前記第1酸化シリコン膜と、前記ゲート電極の下面に形成された前記第1酸化シリコン膜との隙間を含む前記半導体基板上に第2窒化シリコン膜を形成する工程。

【0042】19. 請求項17または18において、前記ゲート電極の前記第1領域側の端部に自己整合的に不

純物を導入して、前記半導体基板内に第1半導体領域を形成する工程と、前記ゲート電極の前記第2領域側の端部に自己整合的に不純物を導入して、前記半導体基板内に第2半導体領域を形成する工程とを含み、前記第1半導体領域の不純物濃度を前記第2半導体領域の不純物濃度よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【0043】20. 請求項17、18または19において、前記MISFETは不揮発性メモリを構成し、周辺回路を構成するMISFETのゲート電極と、前記不揮発性メモリを構成するMISFETのゲート電極とは、同一の導電膜をパターニングする工程で形成され、前記周辺回路を構成するMISFETのゲート絶縁膜は、前記第2酸化シリコン膜を形成する工程で形成されることを特徴とする半導体集積回路装置の製造方法。

【0044】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0045】(実施の形態1) 図1は、本発明の一実施の形態であるフラッシュメモリ(一括消去型不揮発性メモリ)の主要部を示す概略回路図である。

【0046】このフラッシュメモリのメモリセルアレイ(MA)には、図の左右方向(X方向)に延在する複数本のワード線WL(WL<sub>1</sub>～WL<sub>m</sub>)および複数本のソース線SL(SL<sub>1</sub>～SL<sub>m/2</sub>)、これらと直交するY方向に延在する複数本のビット線DL(DL<sub>1</sub>～DL<sub>n</sub>)および後述するMISFET構造で構成された複数個のメモリセルM(M11～Mnm)が形成されている。

【0047】上記ワード線WL(WL<sub>1</sub>～WL<sub>m</sub>)のそれぞれは、X方向に沿って配置された複数個のメモリセルMのゲート電極に接続され、その一端部はロウデコーダ(X-DEC)に接続されている。ソース線SL(SL<sub>1</sub>～SL<sub>m/2</sub>)のそれぞれは、2本のワード線WLの間に1本ずつ配置され、Y方向に隣接する2個のメモリセルMの共通するソースに接続されている。また、これらのソース線SL(SL<sub>1</sub>～SL<sub>m/2</sub>)の一端部は、メモリセルアレイ(MA)の周辺部に配置された共通ソース線CSLに接続されている。ビット線DL(DL<sub>1</sub>～DL<sub>n</sub>)のそれぞれは、Y方向に隣接する2個のメモリセルMの共通するドレインに接続され、その一端部はカラムデコーダ(Y-DEC)およびセンスアンプ(SA)に接続されている。

【0048】図2は、上記メモリセルアレイとそれに隣接する周辺回路の各一部を示す半導体基板の要部断面図、図3(A)は、メモリセル約4個分の導体層パターンを示す平面図、図3(B)は、メモリセル約12個分の導体層パターンを示す平面図である。

【0049】p型の単結晶シリコンからなる半導体基板

1のメモリセルアレイ領域にはp型ウエル5が形成されており、周辺回路領域にはp型ウエル5とn型ウエル6とが形成されている。また、メモリセルアレイ領域のp型ウエル5の下部には、このp型ウエル5を半導体基板1の他の領域から電気的に分離するための深いn型ウエル4が形成されている。p型ウエル5とn型ウエル6のそれぞれの表面には、酸化シリコン膜で構成された素子分離用のフィールド酸化膜2が形成されている。

【0050】メモリセルアレイ領域のp型ウエル5には、メモリセルを構成するnチャネル型のMISFETQ<sub>m</sub>が形成されている。また、周辺回路領域のp型ウエル5には周辺回路の一部を構成するnチャネル型MISFETQ<sub>n</sub>が形成され、n型ウエル6には周辺回路の他の一部を構成するpチャネル型MISFETQ<sub>p</sub>が形成されている。

【0051】メモリセルを構成するMISFETQ<sub>m</sub>は、主としてゲート絶縁膜上に形成されたゲート電極10aと、一端がゲート電極10aの下部まで延在するn<sup>+</sup>型半導体領域13(ドレイン)と、ゲート電極10aに対してオフセットするように形成されたn<sup>+</sup>型半導体領域15(高濃度ソース)と、n<sup>+</sup>型半導体領域15の周囲に形成され、一端がゲート電極10aの下部まで延在するn<sup>-</sup>型半導体領域11(低濃度ソース)と、これらのソース、ドレインに挟まれたチャネル形成領域(p型ウエル5)とで構成されている。ゲート電極10aはワード線WLと一体に構成され、ソース(n<sup>+</sup>型半導体領域15、n<sup>-</sup>型半導体領域11)はソース線SLと一体に構成されている。

【0052】ゲート電極10aは、例えばn型の多結晶シリコン膜の上部にW(タンクステン)シリサイド膜を積層したポリサイド膜で構成され、その側壁には酸化シリコン膜で構成されたサイドウォールスペーサ16が形成されている。また、ゲート電極10aの下部に形成されたゲート絶縁膜は、ドレイン側が1層の酸化シリコン膜9で構成され、ソース側が酸化シリコン膜9の下層に酸化シリコン膜7と窒化シリコン膜8とを積層した3層の絶縁膜で構成されている。

【0053】周辺回路のpチャネル型MISFETQ<sub>p</sub>は、主としてゲート絶縁膜(酸化シリコン膜9)上に形成されたゲート電極10bと、ゲート電極10bに対してオフセットするように形成された一対のp<sup>+</sup>型半導体領域14(ソース、ドレイン)と、一端がゲート電極10bの下部まで延在する一対のp<sup>-</sup>型半導体領域12と、これらのソース、ドレインに挟まれたチャネル形成領域(p型ウエル5)とで構成されている。また、周辺回路のnチャネル型MISFETQ<sub>n</sub>は、主としてゲート絶縁膜(酸化シリコン膜9)上に形成されたゲート電極10cと、ゲート電極10cに対してオフセットするように形成された一対のn<sup>+</sup>型半導体領域15(ソース、ドレイン)と、一端がゲート電極10cの下部まで

延在する一対のn<sup>-</sup>型半導体領域11と、これらのソース、ドレインに挟まれたチャネル形成領域(p型ウエル5)とで構成されている。すなわち、周辺回路のpチャネル型MISFETQ<sub>p</sub>およびnチャネル型MISFETQ<sub>n</sub>は、LD (Lightly Doped Drain) 構造で構成されている。pチャネル型MISFETQ<sub>p</sub>のゲート電極10bおよびnチャネル型MISFETQ<sub>n</sub>のゲート電極10cは、メモリセルのゲート電極10aと同じくポリサイド膜で構成され、それらの側壁には酸化シリコン膜で構成されたサイドウォールスペーサ16が形成されている。

【0054】上記メモリセル(MISFETQ<sub>m</sub>)、pチャネル型MISFETQ<sub>p</sub>およびnチャネル型MISFETQ<sub>n</sub>の上部には厚い膜厚の酸化シリコン膜17が形成されており、さらにその上部には例えばAl合金膜で構成された配線23～27が形成されている。

【0055】メモリセルアレイ領域に形成された配線23はビット線DLを構成し、酸化シリコン膜17に形成されたコンタクトホール20を通じてメモリセルのドレイン(n<sup>+</sup>型半導体領域13)と接続されている。また、周辺回路領域に形成された配線24～27のうち、配線24、25は、酸化シリコン膜17に形成された一対のコンタクトホール21を通じてpチャネル型MISFETQ<sub>p</sub>の一対のp<sup>+</sup>型半導体領域14(ソース、ドレイン)と接続され、配線26、27は、酸化シリコン膜17に形成された一対のコンタクトホール22を通じてnチャネル型MISFETQ<sub>n</sub>の一対のn<sup>+</sup>型半導体領域15(ソース、ドレイン)と接続されている。

【0056】次に、上記フラッシュメモリのプログラム動作を図4(メモリセル約1個分を示す概略断面図)、図5(メモリセルの動作電圧表)および図6(メモリセルの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフ)を用いて説明する。

【0057】書き込み動作は、選択したメモリセル(MISFETQ<sub>m</sub>)のソース(11、15)を接地電位(0V)とし、ゲート電極(10a)およびドレイン(13)にそれぞれ5Vの正電圧を印加する。これにより、低濃度ソース(11)の端部に図6に示すような電界強度のピークが生じ、この領域(低濃度ソース側)で発生したホットエレクトロン(e<sup>-</sup>)が窒化シリコン膜8中の電子トラップに注入され、ゲート電極(10a)から見たしきい値電圧が上昇することにより、書き込みが行われる。

【0058】また、読み出し動作も同様に、選択したメモリセルのソース(11、15)を接地電位(0V)とし、ゲート電極(10a)およびドレイン(13)にそれぞれ2Vの正電圧を印加して行う。消去動作は、メモリセルのドレイン(13)を接地電位(0V)とし、ソース(11、15)に5Vの正電圧、ゲート電極(10a)に-10Vの負電圧をそれぞれ印加し、窒化シリコ

ン膜8中にトラップされた電子を基板(p型ウエル5)側へ放出することにより、ゲート電極(10a)から見たしきい値電圧を下降させて行う。

【0059】次に、上記不揮発性メモリの製造方法の一例を図7～図18(メモリセルアレイ領域とそれに隣接する周辺回路領域の各一部を示す半導体基板の要部断面図)を用いて説明する。

【0060】まず、図7に示すように、10Ωcm程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1を用意し、その表面に選択酸化(LOCOS)法で膜厚500nm程度のフィールド酸化膜2を形成した後、半導体基板1を熱酸化することにより、上記フィールド酸化膜2で囲まれた素子形成領域の表面に膜厚20nm程度の酸化シリコン膜3を形成する。酸化シリコン膜3は、次の工程で半導体基板1に不純物をイオン打ち込みする際のマスクとして使用される。

【0061】次に、図8に示すように、メモリセルアレイ領域の半導体基板1に深いn型ウエル4を形成した後、メモリセルアレイ領域および周辺回路の一部(nチャネル型MISFET形成領域)の半導体基板1に浅いp型ウエル5を形成し、周辺回路の他の一部(pチャネル型MISFET形成領域)の半導体基板1に浅いn型ウエル6を形成する。

【0062】深いn型ウエル4は、メモリセルアレイ領域に開孔部を設けた膜厚5μm程度のフォトレジスト膜をマスクにして、加速エネルギー3000keV、ドーズ量 $1 \times 10^{13}/cm^2$ の条件で半導体基板1にn型不純物(リン)をイオン打ち込みして形成する。また、浅いp型ウエル5は、メモリセルアレイ領域とnチャネル型MISFET形成領域とに開孔部を設けた膜厚2.5μm程度のフォトレジスト膜をマスクにして、加速エネルギー450keV、ドーズ量 $1 \times 10^{13}/cm^2$ および加速エネルギー200keV、ドーズ量 $3 \times 10^{12}/cm^2$ の条件

で半導体基板1にp型不純物(ホウ素)をイオン打ち込みして形成する。さらに、浅いn型ウエル6は、pチャネル型MISFET形成領域に開孔部を設けた膜厚2.5μm程度のフォトレジスト膜をマスクにして、加速エネルギー1000keV、ドーズ量 $1.5 \times 10^{13}/cm^2$ 、加速エネルギー370keV、ドーズ量 $3 \times 10^{13}/cm^2$ および加速エネルギー180keV、ドーズ量 $1 \times 10^{12}/cm^2$ の条件で半導体基板1にn型不純物(リン)をイオン打ち込みして形成する。

【0063】なお、上記したp型ウエル5を形成するためのイオン打ち込み工程で、メモリセル(MISFETQ<sub>m</sub>)およびnチャネル型MISFETQ<sub>n</sub>のしきい値電圧(V<sub>th</sub>)を調整するための不純物(ホウ素)を同時にイオン注入する(加速エネルギー50keV、ドーズ量 $1.2 \times 10^{12}/cm^2$ )。また、n型ウエル6を形成するためのイオン打ち込み工程で、pチャネル型MISFETQ<sub>p</sub>のしきい値電圧(V<sub>th</sub>)を調整するための不純物

物（ホウ素）を同時にイオン注入する（加速エネルギー $20\text{ keV}$ 、ドーズ量 $1.5 \times 10^{12}/\text{cm}^2$ ）。

【0064】次に、p型ウエル5、n型ウエル6のそれぞれの表面の酸化シリコン膜3をウェットエッチングで除去した後、図9に示すように、半導体基板1を $750^\circ\text{C}$ 程度で熱酸化してp型ウエル5、n型ウエル6のそれぞれの表面に膜厚7nm程度の酸化シリコン膜7を形成し、さらに酸化シリコン膜7の上部に $800^\circ\text{C}$ 程度の熱CVD法で膜厚7nm程度の窒化シリコン膜8を堆積する。

【0065】次に、図10に示すように、上記窒化シリコン膜8と酸化シリコン膜7とをバーナーニングして、メモリセルのソース形成領域とその近傍のみにこれらの膜を残す。窒化シリコン膜8のバーナーニングは、上記ソース形成領域とその近傍とに開孔部を設けた膜厚1μm程度のフォトレジスト膜をマスクにしたドライエッチングで行い、酸化シリコン膜7のバーナーニングは、上記フォトレジスト膜をアッシングで除去した後、窒化シリコン膜8をマスクにしたドライエッチングで行う。ソース形成領域とその近傍に残す上記2層の絶縁膜（酸化シリコン膜7、窒化シリコン膜8）は、後の工程で形成されるゲート電極10aの下部に位置する部分の長さ（ゲート長方向の長さ）が20nm～200nm程度となるようにその幅を調整する。

【0066】次に、図11に示すように、半導体基板1を $800^\circ\text{C}$ 程度で熱酸化してp型ウエル5、n型ウエル6のそれぞれの表面に膜厚15nm程度の酸化シリコン膜9を形成する。このとき、メモリセルアレイ領域の窒化シリコン膜8も同時に酸化されるので、その表面にも膜厚2nm程度の酸化シリコン膜9が形成される。

【0067】次に、図12に示すように、メモリセルアレイ領域の酸化シリコン膜9上にメモリセル（MISFETQm）のゲート電極10aを形成し、周辺回路領域の酸化シリコン膜9上にpチャネル型MISFETQnのゲート電極10bとnチャネル型MISFETQpのゲート電極10cとを形成する。ゲート電極10a、10b、10cは、酸化シリコン膜9上に $600^\circ\text{C}$ 程度の熱CVD法で膜厚100nm程度、リン濃度 $2 \times 10^{20}/\text{cm}^3$ 程度の多結晶シリコン膜と膜厚50nm程度のWシリサイド膜とを堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をバーナーニングして形成する。

【0068】次に、図13に示すように、半導体基板1の全面に加速エネルギー $40\text{ keV}$ 、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件でn型不純物（リン）をイオン打ち込みすることにより、ゲート電極10a、10cのそれぞれの両側のp型ウエル5およびゲート電極10bの両側のn型ウエル6に低不純物濃度のn<sup>-</sup>型半導体領域11を形成する。

【0069】次に、図14に示すように、メモリセルの

ドレイン形成領域に開孔部を設けた膜厚1μm程度のフォトレジスト膜をマスクにして、加速エネルギー $50\text{ keV}$ 、ドーズ量 $3 \times 10^{15}/\text{cm}^2$ の条件でp型ウエル5にn型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのドレインを構成するn<sup>+</sup>型半導体領域13を形成する。

【0070】次に、図15に示すように、pチャネル型MISFET形成領域に開孔部を設けた膜厚1μm程度のフォトレジスト膜をマスクにして、加速エネルギー $50\text{ keV}$ 、ドーズ量 $2 \times 10^{13}/\text{cm}^2$ の条件でn型ウエル6にp型不純物（二フッ化ホウ素）をイオン打ち込みすることにより、ゲート電極10bの両側のn型ウエル6に前記n<sup>-</sup>型半導体領域11を補償して低不純物濃度のp<sup>-</sup>型半導体領域12を形成する。

【0071】次に、図16に示すように、半導体基板1上にCVD法で膜厚200nm程度の酸化シリコン膜（図示せず）を堆積した後、この酸化シリコン膜を異方性エッチングすることにより、ゲート電極10a、10b、10cのそれぞれの側壁に幅150nm程度のサイドウォールスペーサ16を形成する。このとき、メモリセルのソース形成領域を覆っている酸化シリコン膜9と窒化シリコン膜8も同時にエッチングされる。

【0072】次に、図17に示すように、pチャネル型MISFET形成領域に開孔部を設けた膜厚1μm程度のフォトレジスト膜をマスクにして、加速エネルギー $50\text{ keV}$ 、ドーズ量 $3 \times 10^{15}/\text{cm}^2$ の条件でn型ウエル6にp型不純物（二フッ化ホウ素）をイオン打ち込みすることにより、pチャネル型MISFETのソース、ドレインを構成する高不純物濃度のp<sup>+</sup>型半導体領域14を形成する。

【0073】続いて、メモリセルのソース形成領域とnチャネル型MISFET形成領域とに開孔部を設けた膜厚1μm程度のフォトレジスト膜をマスクにして、加速エネルギー $50\text{ keV}$ 、ドーズ量 $2 \times 10^{15}/\text{cm}^2$ の条件でp型ウエル5にn型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのソースを構成する高不純物濃度のn<sup>+</sup>型半導体領域15と、nチャネル型MISFETのソース、ドレインを構成する高不純物濃度のn<sup>+</sup>型半導体領域15とを形成する。ここまで工程で、

メモリセル（MISFETQm）と周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）とが完成する。

【0074】次に、図18に示すように、半導体基板1上にCVD法で膜厚500nm程度の酸化シリコン膜17を堆積した後、フォトレジスト膜をマスクにして酸化シリコン膜17をドライエッチングすることにより、メモリセルのドレインの上部、nチャネル型MISFETQnのソース、ドレインの上部およびpチャネル型MISFETQpのソース、ドレインの上部にそれぞれコンタクトホール20、21、22を形成する。

【0075】その後、コンタクトホール20～22の内部を含む酸化シリコン膜17上にスパッタリング法で膜厚500nm程度のA1合金膜を堆積し、フォトレジスト膜をマスクにしたドライエッティングでこのA1合金膜をパターニングして配線23～27を形成することにより、前記図2に示す本実施の形態のフラッシュメモリが略完成する。

【0076】上記のように構成された本実施の形態のフラッシュメモリは、従来のフローティングゲート型メモリセルと同様、メモリセルが単一のMISFETで構成されているために、書き込み／消去動作を比較的簡便に行うことができ、必要とする周辺回路の面積を増加させることがない。また、製造工程も簡略になる。

【0077】本実施の形態のフラッシュメモリは、読み出し動作の際に、従来のサイドウォールゲート電極を備えたメモリセルのような高抵抗配線を用いないので、読み出し速度の劣化が発生しない。また、書き込み動作の際に、ゲート電極とドレインとに正電圧を印加し、ソース近傍で発生させたホットエレクトロンを窒化シリコン膜中の電子トラップに注入する方式を採用するため、接地電位のソースとゲート電極間の電位差が大きくなることによって注入効率が向上し、従来のセル構造に比べてより低電圧動作が可能となる。

【0078】本実施の形態のフラッシュメモリは、メモリセルのゲート電極がチャネル領域の全面を覆っているために、従来のサイドウォールゲート電極を備えたセル構造で問題となるサイドウォールゲート電極一制御ゲート電極間の絶縁膜直下における寄生抵抗の発生がなく、読み出し動作時のドレイン電流の低下を招くことがない。

【0079】本実施の形態のフラッシュメモリの製造方法は、メモリセルのソース側のゲート絶縁膜（酸化シリコン膜7、窒化シリコン膜8、酸化シリコン膜9からなる3層の絶縁膜）をゲート電極に対して自己整合（セルファーライン）で形成するので、従来のフローティングゲート型メモリセルと同等のセル面積に設計することができ、スケーラビリティに優れた不揮発性メモリを実現することができる。

【0080】（実施の形態2）本実施の形態のフラッシュメモリの製造方法を図19～図33（メモリセルアレイ領域とそれに隣接する周辺回路領域の各一部を示す半導体基板の要部断面図）を用いて説明する。

【0081】まず、図19に示すように、p型の単結晶シリコンからなる半導体基板1の表面にフィールド酸化膜2を形成した後、フィールド酸化膜2で囲まれた素子形成領域の表面に酸化シリコン膜3を形成する。続いて、メモリセルアレイ領域の半導体基板1に深いn型ウエル4を形成した後、メモリセルアレイ領域および周辺回路の一部（nチャネル型MISFET形成領域）の半導体基板1に浅いp型ウエル5を形成し、周辺回路の他

の一部（pチャネル型MISFET形成領域）の半導体基板1に浅いn型ウエル6を形成する。ここまで工程は、前記実施の形態1と同じである。

【0082】次に、図20に示すように、半導体基板1を800°C程度で熱酸化してp型ウエル5、n型ウエル6のそれぞれの表面に膜厚15nm程度のゲート酸化膜30を形成した後、図21に示すように、半導体基板1上に600°C程度の熱CVD法で多結晶シリコン膜（図示せず）を膜厚200程度堆積した後、フォトレジスト膜をマスクにしてこの多結晶シリコン膜31をドライエッティングすることにより、メモリセルのゲート電極31aおよび周辺回路のゲート電極31b、31cを形成する。

【0083】次に、図22に示すように、上記ゲート電極31a、31b、31cの上部を含む半導体基板1上にCVD法で膜厚20nm程度の窒化シリコン膜32を堆積した後、窒化シリコン膜32の上部にCVD法で膜厚50nm程度の酸化シリコン膜33を堆積する。

【0084】次に、図23に示すように、メモリセルのソース形成領域とその近傍に開孔部を設けた膜厚1μm程度のフォトレジスト膜をマスクにして酸化シリコン膜33をウェットエッティングし、続いて上記フォトレジスト膜をアッティングで除去した後、酸化シリコン膜33をマスクにして窒化シリコン膜32をウェットエッティングすることにより、メモリセルのソース形成領域とその近傍のゲート電極31aとを覆っている窒化シリコン膜32を除去する。

【0085】次に、図24に示すように、上記窒化シリコン膜32をマスクにしたウェットエッティングでメモリセルのソース形成領域を覆っているゲート酸化膜30を除去する。このとき、ソース形成領域に隣接してパターン形成されたゲート電極31aの下部のゲート酸化膜30もエッティングされ、その一部が端部から幅70nm程度にわたって除去（アンダーカット）される。

【0086】次に、図25に示すように、半導体基板1を750°C程度で熱酸化してメモリセルのソース形成領域とその近傍に露出したp型ウエル5の表面に膜厚5nm程度の酸化シリコン膜34を形成する。このとき、メモリセルのソース形成領域の近傍に露出しているゲート電極31aも同時に酸化され、その表面に膜厚5nm程度の酸化シリコン膜35が形成される。

【0087】次に、図26に示すように、半導体基板1上にCVD法で膜厚10nm程度の窒化シリコン膜36を堆積する。これにより、ゲート電極10aの下部のソース形成領域側に酸化シリコン膜34、窒化シリコン膜36および酸化シリコン膜35からなる3層のゲート絶縁膜が形成される。

【0088】次に、図27に示すように、半導体基板1の全面に加速エネルギー40keV、ドーズ量1×10<sup>13</sup>/cm<sup>2</sup>の条件でn型不純物（リン）をイオン打ち込みす

ることにより、ゲート電極 10a、10c の両側の p 型ウエル 5 およびゲート電極 10b の両側の n 型ウエル 6 に低不純物濃度の n- 型半導体領域 37 を形成する。

【0089】次に、図 28 に示すように、メモリセルのドレイン形成領域に開孔部を設けた膜厚 1 μm 程度のフォトトレジスト膜をマスクにして、加速エネルギー 50 keV、ドーズ量  $3 \times 10^{15}/\text{cm}^2$  の条件で p 型ウエル 5 に n 型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのドレインを構成する n+ 型半導体領域 39 を形成する。

【0090】次に、図 29 に示すように、p チャネル型 MISFET 形成領域に開孔部を設けた膜厚 1 μm 程度のフォトトレジスト膜をマスクにして、加速エネルギー 50 keV、ドーズ量  $2 \times 10^{13}/\text{cm}^2$  の条件で n 型ウエル 6 に p 型不純物（二フッ化ホウ素）をイオン打ち込みすることにより、ゲート電極 31b の両側の n 型ウエル 6 に前記 n- 型半導体領域 37 を補償して低不純物濃度の p- 型半導体領域 38 を形成する。

【0091】次に、図 30 に示すように、半導体基板 1 上に CVD 法で膜厚 200 nm 程度の窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングすることにより、ゲート電極 31a、31b、31c のそれぞれの側壁に幅 150 nm 程度のサイドウォールスペーサ 42 を形成する。このとき、ゲート電極 31a、31b、31c の上部を覆っている酸化シリコン膜 35 および窒化シリコン膜 35 も同時にエッチングされ、ゲート電極 31a、31b、31c の表面が露出する。

【0092】次に、図 31 に示すように、p チャネル型 MISFET 形成領域に開孔部を設けた膜厚 1 μm 程度のフォトトレジスト膜をマスクにして、加速エネルギー 50 keV、ドーズ量  $3 \times 10^{15}/\text{cm}^2$  の条件で n 型ウエル 6 に p 型不純物（二フッ化ホウ素）をイオン打ち込みすることにより、p チャネル型 MISFET のソース、ドレインを構成する高不純物濃度の p+ 型半導体領域 40 を形成する。

【0093】続いて、メモリセルのソース形成領域と n チャネル型 MISFET 形成領域とに開孔部を設けた膜厚 1 μm 程度のフォトトレジスト膜をマスクにして、加速エネルギー 50 keV、ドーズ量  $2 \times 10^{15}/\text{cm}^2$  の条件で p 型ウエル 5 に n 型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのソースを構成する高不純物濃度の n+ 型半導体領域 41 と、n チャネル型 MISFET のソース、ドレインを構成する高不純物濃度の n+ 型半導体領域 41 とを形成する。ここまで工程で、メモリセル（MISFETQm）と周辺回路の MISFET (n チャネル型 MISFETQn, p チャネル型 MISFETQp) とが完成する。

【0094】次に、半導体基板 1 の表面をウェットエッチングしてそれぞれの MISFET のソース、ドレイン

の表面を覆っている酸化シリコン膜 34 を除去した後、図 32 に示すように、ゲート電極 31a、31b、31c およびソース、ドレイン（n+ 型半導体領域 39、p+ 型半導体領域 40、n+ 型半導体領域 41）の表面に低抵抗のシリサイド層 43 を形成する。シリサイド層 43 は、例えば半導体基板 1 上にスパッタリング法で Co (コバルト) 膜、Ti (コバルト) 膜などの高融点金属膜を堆積し、次いで半導体基板 1 を熱処理して高融点金属膜と基板 (Si) およびゲート電極 (31a ~ 31c) とを反応させて Co シリサイド層を形成した後、未反応の高融点金属膜をウェットエッチングで除去することにより形成する。

【0095】次に、図 33 に示すように、前記実施の形態 1 と同様の方法により、半導体基板 1 上に堆積した酸化シリコン膜 44 にコンタクトホール 45、46、47 を形成した後、酸化シリコン膜 44 の上部に配線 48 ~ 52 を形成することにより、本実施の形態 2 のフラッシュメモリが略完成する。

【0096】図 34 は、上記した製造方法で使用するフォトマスクの一覧表である。全工程で使用する 13 枚のフォトマスクのうち、メモリセルの製造に固有のフォトマスクは窒化シリコン膜の加工用 (No. 6) とドレイン形成用 (No. 7) の 2 枚であり、非常に簡略化されている。

【0097】また、上記した方法で製造したフラッシュメモリの書き込み／消去動作特性およびリテンション特性は、前記実施の形態 1 のフラッシュメモリと同程度であった。

【0098】（実施の形態 3）図 35 は、本実施の形態 3 のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0099】前記実施の形態 1 のメモリセル (MISFETQm) は、ドレイン側のゲート絶縁膜を 1 層の酸化シリコン膜 9 で構成しているのに対し、本実施の形態では、ドレイン側のゲート絶縁膜を酸化シリコン膜 9 およびその下層に形成した酸化シリコン膜 60 の 2 層膜で構成している。また、これら 2 層の酸化シリコン膜 9、60 で構成されたドレイン側のゲート絶縁膜の電気的容量膜厚は、酸化シリコン膜 7、9 とそれらに挟まれた窒化シリコン膜 8 とで構成されたソース側のゲート絶縁膜の電気的容量膜厚にほぼ等しい。すなわち、このメモリセルのゲート絶縁膜は、ドレイン側とソース側とがほぼ等しい電気的容量膜厚（例えば 17.5 nm 程度）で構成されている。

【0100】本実施の形態のメモリセルの上記した以外の構成およびプログラム動作は、前記実施の形態 1 のメモリセルと同じである。また、本実施の形態のメモリセルの製造方法は、半導体基板 1 を熱処理して酸化シリコン膜 60 を形成する工程が一工程増える以外は、前記実施の形態 1 の製造方法と同じである。

【0101】本実施の形態のフラッシュメモリによれば、ゲート絶縁膜の電気的容量膜厚をゲート電極10aの下部全体でほぼ同じにしたことにより、ソース側のゲート絶縁膜（酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7）のゲート長方向に沿った長さが製造プロセスのばらつきによって変動した場合でも、ドレイン電流の駆動能力が変動する事がない。これにより、書き込み動作時のドレイン電流が一定となるので、書き込み時間の変動が防止され、安定なメモリセル特性を得ることが可能となる。

【0102】（実施の形態4）図36は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0103】前記実施の形態1のメモリセルは、ソース側のゲート絶縁膜のみを3層膜（酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7）で構成しているのに対し、本実施の形態では、ゲート電極10aの下部のゲート絶縁膜全体を上記3層膜（酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7）で構成している。これら3層膜の膜厚は、いずれも7nm程度である。

【0104】本実施の形態のメモリセルの上記した以外の構成およびプログラム動作は、前記実施の形態1のメモリセルと同じである。また、本実施の形態のメモリセルの製造方法は、酸化シリコン膜7と窒化シリコン膜8とをパターニングしてソース側のみに残す工程が一工程省略される以外は、前記実施の形態1の製造方法と同じである。このメモリセルの書き込みは、1μ秒であった。

【0105】（実施の形態5）図37は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0106】このフラッシュメモリは、記憶素子部であるMISFETQcと選択用MISFETQsとでメモリセルを構成している。記憶素子部のMISFETQcは、主として膜厚8nm程度の下部ゲート酸化膜70と、膜厚10nm程度の窒化シリコン膜71と、膜厚10nm程度の上部ゲート酸化膜72とからなる3層構造のゲート絶縁膜上に形成された多結晶シリコン膜などからなる書き込み／消去用のゲート電極（PEG）73と、このゲート電極73の両側の半導体基板1に形成されたソース、ドレイン（接続拡散層）とで構成されている。

【0107】ソースは、一端部がゲート電極73の下部まで延在する低不純物濃度のn<sup>-</sup>型半導体領域74と、ゲート電極73に対してオフセットするように形成された高不純物濃度のn<sup>+</sup>型半導体領域75とで構成されており、ドレイン（接続拡散層）は、一端部がゲート電極73の下部まで延在する高不純物濃度のn<sup>+</sup>型半導体領域76で構成されている。

【0108】また、選択用MISFETQsは、主として厚さ4nm程度のゲート酸化膜77の上部に形成された

多結晶シリコン膜などからなる選択用のゲート電極（SG）78と、このゲート電極78の両側の半導体基板1に形成されたソース（接続拡散層）、ドレインとで構成されている。ドレインは、一端部がゲート電極78の下部まで延在する高不純物濃度のn<sup>+</sup>型半導体領域79で構成されている。ソースは、上記MISFETQcのドレインである高不純物濃度のn<sup>+</sup>型半導体領域76で構成され、その一端部はゲート電極78の下部まで延在している。

10 【0109】上記フラッシュメモリのプログラム動作を図38（メモリセルの動作電圧表）を用いて説明する。書き込みは、選択用MISFETQsのドレインに5V、ゲート電極78に2Vを印加して選択用MISFETQsをオン（ON）にし、記憶素子部のMISFETQcのソースを接地電位（0V）とし、ゲート電極73に5Vを印加することにより、ソースの一部を構成する低不純物濃度のn<sup>-</sup>型半導体領域74の近傍に電界強度のピークを生じさせる。これにより、この領域で発生したホットエレクトロンが窒化シリコン膜71中の電子トランジットに注入され、MISFETQcのゲート電極73から見たしきい値電圧が4V以上に上昇することによって書き込みが行われる。このメモリセルは、ゲート電極73に印加する電圧でドレイン電流を抑制することができる、基板および書き込み／消去用のゲート電極の電位を制御し、直接トンネル酸化膜を介して基板側から窒化シリコン膜中へ電子を全面注入する従来のMNOS型メモリセルに比べると、より低い消費電力で書き込みを行うことができる。

【0110】消去動作は、MISFETQcのゲート電極73に-10V、ソースとウエルとに5Vを印加し、窒化シリコン膜71中の電子を放出することによって行う。また、読み出し動作は、選択用MISFETQsのドレインおよびゲート電極78と、MISFETQcのゲート電極73とに2Vを印加し、MISFETQcのしきい値電圧を判定することによって行う。

【0111】（実施の形態6）図39は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0112】このメモリセルを構成するMISFETは、主としてゲート絶縁膜上に形成された多結晶シリコン膜などからなるゲート電極83と、このゲート電極83の両側の半導体基板1に形成されたソース、ドレインとで構成されている。ソースは、一端部がゲート電極83の下部まで延在する高不純物濃度のn<sup>+</sup>型半導体領域84で構成されており、ドレインは、一端部がゲート電極83の下部まで延在する低不純物濃度（1×10<sup>18</sup>～10<sup>19</sup>/cm<sup>3</sup>程度）のp<sup>-</sup>型半導体領域85と、ゲート電極83に対してオフセットするように形成された高不純物濃度のn<sup>+</sup>型半導体領域86とで構成されている。また、ゲート絶縁膜は、ソース側が膜厚10nm程度のゲ

ト酸化膜82で構成されているのに対し、ドレイン側が膜厚8nm程度の下部ゲート酸化膜80と、膜厚10nm程度の窒化シリコン膜81と、膜厚10nm程度の上部ゲート酸化膜82とで構成されている。このように、本実施の形態のメモリセルは、書き込み時のホットエレクトロン注入をドレイン側で行う点に特徴がある。

【0113】図40に示すように、このフラッシュメモリの読み出しおよび消去動作は、前記実施の形態1のメモリセルと同じである。一方、書き込みは、選択したメモリセルのドレインを接地電位(0V)とし、ゲート電極83およびソースにそれぞれ5Vの正電圧を印加して行う。

【0114】図41は、書き込み動作時における各端子への電圧印加の時間変化を示すグラフである。書き込みは、まず選択したメモリブロックの共通ソース線を5Vに充電した後、全ビット線を5Vへプリチャージする。次に、選択したワード線のみを5Vに昇圧した後、選択したビット線のみを0Vに降下させる。この0Vに降下させた時間が書き込み時間であり、この時間内に選択したメモリセルのソースからドレイン方向へチャネル電流が流れる。このとき、図42に示すように、ソース側5V、ドレイン側0Vに設定された電位の大半は、低濃度ドレイン(p-型半導体領域85)領域で降下するために、ドレイン端部に電界強度のピークが生じる。そして、この高電界によって発生したホットエレクトロンが、選択したワード線に印加された5Vの縦方向電界によって加速され、窒化シリコン膜81中の電子トラップに注入されることにより、書き込みが行われる。

【0115】(実施の形態7)図43は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0116】このメモリセルは、書き込み時のホットエレクトロン注入をドレイン側で行うもので、一端部がゲート電極83の下部まで延在する低不純物濃度のn-型半導体領域87と、ゲート電極83に対してオフセットするように形成された高不純物濃度のn+型半導体領域84とでソースが構成されている以外は、前記実施の形態6と同一のセル構造を有している。

【0117】書き込みは、前記実施の形態6と同様、選択したメモリブロックの共通ソース線を5Vに充電した後、全ビット線を5Vへプリチャージすることにより開始される。ところで、この書き込み用の5V電源が、チップ上に形成された昇圧回路のような内部電源である場合は、電源の供給能力が限られるために、充電される共通ソース線の接合リーケ電流が大きいと、十分な電圧に充電できないという問題が生じる。本実施の形態では、ソース側に低不純物濃度のn-型半導体領域87を形成したことにより、書き込み時にソースを充電する際、ソース接合の電界が緩和され、ソース接合のリーケ電流低減および接合耐圧の向上が図られるので、上記のような

問題を回避することができる。

【0118】(実施の形態8)図44は、本実施の形態のフラッシュメモリのセル構造を示す要部平面図、図45は、図44のA-A'線に沿った半導体基板の要部断面図である。

【0119】本実施の形態のメモリセルを構成するMISFETQmは、前記実施の形態1と同様、ソース側のゲート絶縁膜を3層膜(酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7)で構成し、ドレイン側を1層の酸化シリコン膜9で構成している。一方、ピット線DLとドレイン(n+型半導体領域92)とは、ドレインの上部に形成したプラグ98を介して電気的に接続されている。また、ゲート電極90の延在方向に沿った複数のメモリセルのソース(n+型半導体領域92)は、その上部に形成したプラグ98によって構成されたソース線(SL)を介して電気的に接続されている。

【0120】上記メモリセルを製造するには、まず図46に示すように、前記実施の形態1と同様の方法でp型の半導体基板1に深いn型ウエル4と浅いp型ウエル5

20とを形成した後、p型ウエル5の表面に、ソース側が3層膜(酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7)で構成され、ドレイン側が1層の酸化シリコン膜9で構成されたゲート絶縁膜を形成する。

【0121】上記酸化シリコン膜7は、半導体基板1を800°C程度で熱酸化して形成し、その膜厚は11nm程度とする。また、窒化シリコン膜8は730°C程度の熱CVD法で形成し、その膜厚は10nm程度とする。さらに、酸化シリコン膜9は上記窒化シリコン膜8と酸化シリコン膜7とをバーニングして、メモリセルのソース形成領域とその近傍のみにこれらの膜を残した後、半導体基板1を800°C程度で熱酸化して形成し、その膜厚は15nm程度とする。

【0122】次に、図47に示すように、酸化シリコン膜9の上部にCVD法で膜厚100nm程度、リン濃度 $2 \times 10^{20}/\text{cm}^3$ 程度の多結晶シリコン膜を堆積し、次いでその上部にCVD法で膜厚200nm程度の窒化シリコン膜93を堆積した後、フォトレジスト膜をマスクにしたドライエッティングでこれらの膜をバーニングすることにより、上記多結晶シリコン膜で構成されたゲート電極90を形成する。

【0123】次に、図48に示すように、ソース形成領域に開孔部を設けたフォトレジスト膜をマスクにして、加速エネルギー20keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で斜め30度の方向からp型ウエル5にp型不純物(ホウ素)をイオン打ち込みすることにより、p-型半導体領域91を形成する。続いて、メモリセルアレイ領域の全面に加速エネルギー50keV、ドーズ量 $2 \times 10^{15}/\text{cm}^2$ の条件でn型不純物(ヒ素)をイオン打ち込みすることにより、ゲート電極90の両側のp型ウエル5にソース、ドレインを構成するn+型半導体領域92を

形成する。

【0124】次に、図49に示すように、半導体基板1上にCVD法で窒化シリコン膜（を堆積した後、この窒化シリコン膜を異方性エッティングすることにより、ゲート電極90の側壁にサイドウォールスペーサ94を形成する。このとき、ソース、ドレインの表面を覆っているゲート絶縁膜も同時にエッティングされる。

【0125】次に、図50に示すように、半導体基板1上にCVD法で酸化シリコン膜95を堆積した後、ソース、ドレインの上部に開孔部を設けたフォトレジスト膜をマスクにして、この酸化シリコン膜95をエッティングすることにより、ソースの上部を含むソース線形成領域にコンタクトホール96を形成し、ドレインの上部にコンタクトホール97を形成する。

【0126】上記酸化シリコン膜95をエッティングする工程では、ゲート電極90の側壁に形成された窒化シリコンのサイドウォールスペーサ94がエッティングストップとして機能するので、上記コンタクトホール96、97は、ゲート電極90のスペースに対して自己整合（セルフアライン）で形成される。これにより、コンタクトホール96、97とゲート電極90との合わせ余裕が不要となるので、ゲート電極90のスペースを最小加工寸法で設計することができる。

【0127】次に、図51に示すように、コンタクトホール96の内部にソース線（SL）を形成し、コンタクトホール97の内部にプラグ98を形成する。ソース線（SL）およびプラグ98は、酸化シリコン膜95の上部にn型不純物をドープした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜の表面を化学的機械的研磨（CMP）法で平坦化することにより形成する。

【0128】その後、酸化シリコン膜95の上部にCVD法で酸化シリコン膜99を堆積した後、酸化シリコン膜99の上部にスパッタリング法でAl合金膜を堆積し、フォトレジスト膜をマスクにしたドライエッティングでこのAl合金膜をパターニングしてビット線DLを形成することにより、前記図44および図45に示す本実施の形態のフラッシュメモリが略完成する。

【0129】本実施の形態によれば、ゲート電極90のスペースを最小加工寸法で設計することができるので、ゲート長0.3μmでセル面積を0.5μm×0.4μm=0.2μm<sup>2</sup>まで縮小することができた。また、メモリセルの書き込み時間は5マイクロ秒、消去時間は10ミリ秒であり、前記実施の形態1と同様の十分に安定したリテンション特性を確認することができた。

【0130】以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0131】本発明の不揮発性メモリは、セル構造が単純で、製造プロセスも簡略であることから、同一半導体基板上に不揮発性メモリとロジックLSIとを混載するLSIへの適用も容易である。

【0132】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0133】本発明の不揮発性メモリは、メモリセルが单一のMISFETで構成されているために、書き込み／消去動作を比較的簡便に行うことができ、必要とする周辺回路の面積を増加させることがない。また、製造工程も簡略である。

【0134】本発明の不揮発性メモリは、書き込み動作の際、ゲート電極とドレインとに正電圧を印加し、ソース近傍で発生させたホットエレクトロンを窒化シリコン膜中の電子トラップに注入する方式を採用するため、接地電位のソースとゲート電極間の電位差が大きくなることによって注入効率が向上し、従来のセル構造に比べてより低電圧での動作が可能となる。

【0135】本発明の不揮発性メモリの製造方法は、メモリセルのソース側のゲート絶縁膜（酸化シリコン膜、窒化シリコン膜、酸化シリコン膜からなる3層の絶縁膜）をゲート電極に対して自己整合（セルフアライン）で形成するので、従来のフローティングゲート型メモリセルと同等のセル面積に設計することができ、スケーラビリティに優れた不揮発性メモリを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるフラッシュメモリの主要部を示す概略回路図である。

【図2】本発明の実施の形態1であるフラッシュメモリの要部を示す断面図である。

【図3A】本発明の実施の形態1であるフラッシュメモリの導体層パターンを示す平面図である。

【図3B】本発明の実施の形態1であるフラッシュメモリの導体層パターンを示す平面図である。

【図4】本発明の実施の形態1であるフラッシュメモリのプログラム動作を説明する概略断面図である。

【図5】本発明の実施の形態1であるフラッシュメモリのプログラム動作を説明する動作電圧表である。

【図6】本発明の実施の形態1であるフラッシュメモリの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフである。

【図7】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図8】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図9】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 0】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 1】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 2】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 3】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 4】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 5】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 6】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 7】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 8】本発明の実施の形態 1 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 1 9】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 0】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 1】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 2】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 3】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 4】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 5】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 6】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 7】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 8】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 2 9】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 3 0】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 3 1】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 3 2】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 3 3】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 3 4】本発明の実施の形態 2 であるフラッシュメモリの製造方法を示すフロー図である。

【図 3 5】本発明の実施の形態 3 であるフラッシュメモリの概略断面図である。

【図 3 6】本発明の実施の形態 4 であるフラッシュメモリの概略断面図である。

【図 3 7】本発明の実施の形態 5 であるフラッシュメモリの概略断面図である。

【図 3 8】本発明の実施の形態 5 であるフラッシュメモリのプログラム動作を説明する動作電圧表である。

【図 3 9】本発明の実施の形態 6 であるフラッシュメモリの概略断面図である。

【図 4 0】本発明の実施の形態 6 であるフラッシュメモリのプログラム動作を説明する動作電圧表である。

【図 4 1】本発明の実施の形態 6 であるフラッシュメモリの書き込み動作時における電圧印加の時間変化を示すグラフである。

【図 4 2】本発明の実施の形態 6 であるフラッシュメモリの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフである。

【図 4 3】本発明の実施の形態 7 であるフラッシュメモリの概略断面図である。

【図 4 4】本発明の実施の形態 8 であるフラッシュメモリのセル構造を示す要部平面図である。

【図 4 5】図 4 4 の A-A' 線に沿った半導体基板の要部断面図である。

【図 4 6】本発明の実施の形態 8 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 4 7】本発明の実施の形態 8 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 4 8】本発明の実施の形態 8 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 4 9】本発明の実施の形態 8 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 5 0】本発明の実施の形態 8 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 5 1】本発明の実施の形態 8 であるフラッシュメモリの製造方法を示す要部断面図である。

【図 5 2】フローティングゲート型メモリセルのセル構造を示す概略断面図である。

【図 5 3】MNO<sub>8</sub>型メモリセルのセル構造を示す概略断面図である。

【図 5 4】選択用ゲート電極とサイドウォールゲート電極とを有するメモリセルのセル構造を示す概略断面図である。

【図 5 5】図 5 4 に示すフラッシュメモリの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフである。

【符号の説明】

1 半導体基板

2 フィールド酸化膜

3 酸化シリコン膜

4 (深い) n型ウエル  
 5 p型ウエル  
 6 n型ウエル  
 7 酸化シリコン膜  
 8 窒化シリコン膜  
 9 酸化シリコン膜  
 10 a、10 b、10 c ゲート電極  
 11 n<sup>-</sup>型半導体領域  
 12 p<sup>-</sup>型半導体領域  
 13 n<sup>+</sup>型半導体領域  
 14 p<sup>+</sup>型半導体領域  
 15 n<sup>+</sup>型半導体領域  
 16 サイドウォールスペーサ  
 17 酸化シリコン膜  
 20~22 コンタクトホール  
 23~27 配線  
 30 ゲート酸化膜  
 31 a、31 b、31 c ゲート電極  
 32 窒化シリコン膜  
 33 酸化シリコン膜  
 34 酸化シリコン膜  
 35 酸化シリコン膜  
 36 窒化シリコン膜  
 37 n<sup>-</sup>型半導体領域  
 38 p<sup>-</sup>型半導体領域  
 39 n<sup>+</sup>型半導体領域  
 40 p<sup>+</sup>型半導体領域  
 41 n<sup>+</sup>型半導体領域  
 42 サイドウォールスペーサ  
 43 シリサイド層  
 44 酸化シリコン膜  
 45~47 コンタクトホール  
 48~52 配線 60 酸化シリコン膜  
 70 下部ゲート酸化膜  
 71 窒化シリコン膜  
 72 上部ゲート酸化膜  
 73 ゲート電極  
 74 n<sup>-</sup>型半導体領域  
 75 n<sup>+</sup>型半導体領域  
 76 n<sup>+</sup>型半導体領域  
 77 ゲート酸化膜  
 78 ゲート電極  
 79 n<sup>+</sup>型半導体領域  
 80 下部ゲート酸化膜  
 81 窒化シリコン膜  
 82 (上部) ゲート酸化膜  
 83 ゲート電極  
 84 n<sup>+</sup>型半導体領域  
 85 p<sup>-</sup>型半導体領域  
 86 n<sup>+</sup>型半導体領域

87 n<sup>-</sup>型半導体領域  
 90 ゲート電極  
 91 p<sup>-</sup>型半導体領域  
 92 n<sup>+</sup>型半導体領域 (ソース、ドレイン)  
 93 窒化シリコン膜 (キャップ)  
 94 サイドウォールスペーサ  
 95 酸化シリコン膜  
 96、97 コンタクトホール  
 98 ブラグ  
 10 99 酸化シリコン膜  
 101 シリコン基板  
 102 ゲート酸化膜  
 103 フローティングゲート  
 104 層間絶縁膜  
 105 コントロールゲート  
 106 ソース  
 107 ドレイン  
 108 電子  
 111 シリコン基板  
 20 112 直接トンネル酸化膜  
 113 窒化シリコン膜  
 114 ゲート酸化膜  
 115 a、115 b ゲート電極  
 116 ソース  
 117 接続拡散層ドレイン  
 118 ゲート酸化膜  
 119 ドレイン  
 121 シリコン基板  
 122 ゲート酸化膜  
 30 123 選択用ゲート電極  
 124 酸化シリコン膜  
 125 窒化シリコン膜  
 126 酸化シリコン膜  
 127 サイドウォールゲート電極  
 128 ソース  
 129 ドレイン  
 C S L 共通ソース線  
 D L (D L<sub>1</sub> ~ D L<sub>n</sub>) ビット線  
 M A メモリセルアレイ  
 40 M (M<sub>11</sub>~M<sub>nm</sub>) メモリセル  
 Q c M I S F E T  
 Q m M I S F E T  
 Q s 選択用M I S F E T  
 S L (S L<sub>1</sub> ~ S L<sub>m/2</sub>) ソース線  
 S A センスアンプ  
 W L (W L<sub>1</sub> ~ W L<sub>m</sub>) ワード線  
 X-D E C ロウデコーダ  
 Y-D E C カラムデコーダ  
 【要約】  
 50 【課題】 フローティングゲート型メモリセルに匹敵す

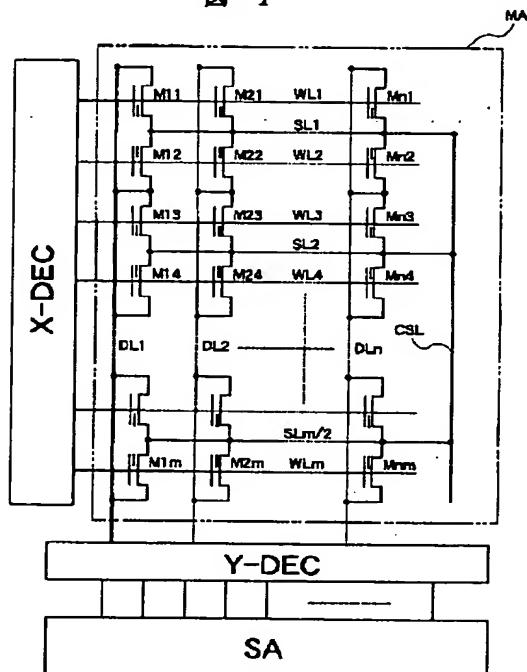
るスケーラビリティと、MNOS型メモリセルと同等以上の高い信頼性とを併せ持った新規なセル構造の不揮発性メモリおよびその製造方法を提供する。

【解決手段】 不揮発性メモリを構成するMISFET Qmは、ゲート絶縁膜上に形成されたゲート電極10aと、一端がゲート電極10aの下部まで延在するn<sup>+</sup>型半導体領域13(ドレイン)と、ゲート電極10aに対

してオフセットするように形成されたn<sup>+</sup>型半導体領域15(高濃度ソース)と、一端がゲート電極10aの下部まで延在するn<sup>-</sup>型半導体領域11(低濃度ソース)とで構成される。ゲート絶縁膜は、ドレイン側が1層の酸化シリコン膜9で構成され、ソース側が酸化シリコン膜7と窒化シリコン膜8と酸化シリコン膜9とを積層した3層の絶縁膜で構成される。

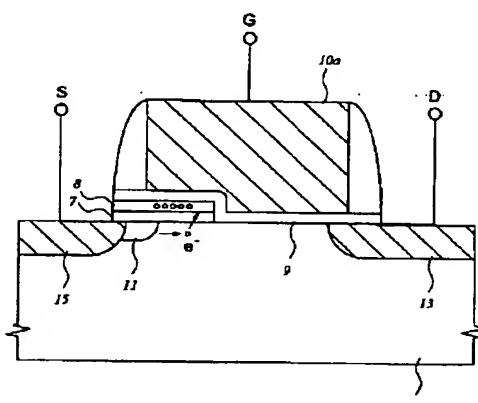
【図1】

図1



【図4】

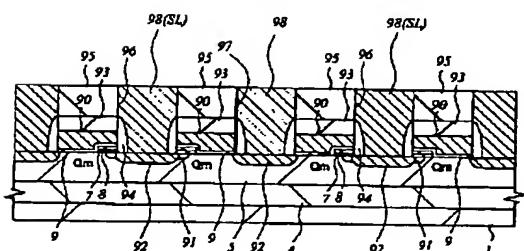
図4



【図5】

【図5】

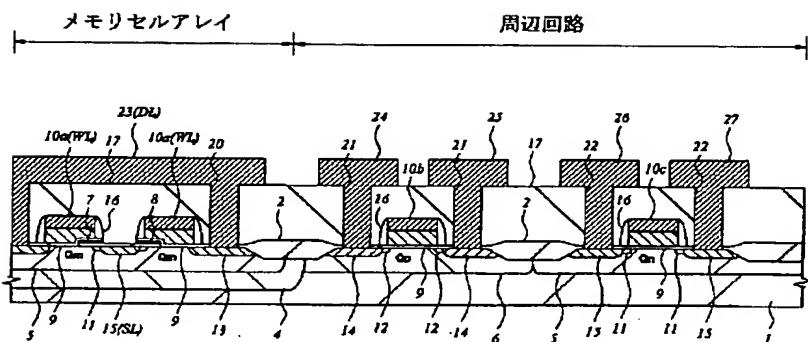
図5



| 端子   | ビット線<br>(ドレイン電圧) |     | ワード線<br>(ゲート電圧) |     | ソース線 | ウエル |
|------|------------------|-----|-----------------|-----|------|-----|
|      | 選択               | 非選択 | 選択              | 非選択 |      |     |
| 書き込み | 5V               | 0V  | 5V              | 0V  | 0V   | 0V  |
| 消去   | 0V               | 0V  | -10V            | 0V  | 5V   | 5V  |
| 読み出し | 2V               | 0V  | 2V              | 0V  | 0V   | 0V  |

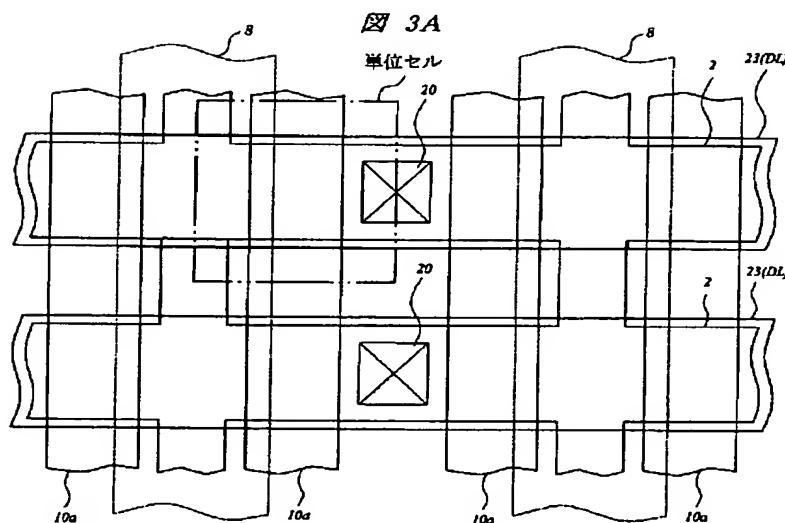
【図 2】

図 2



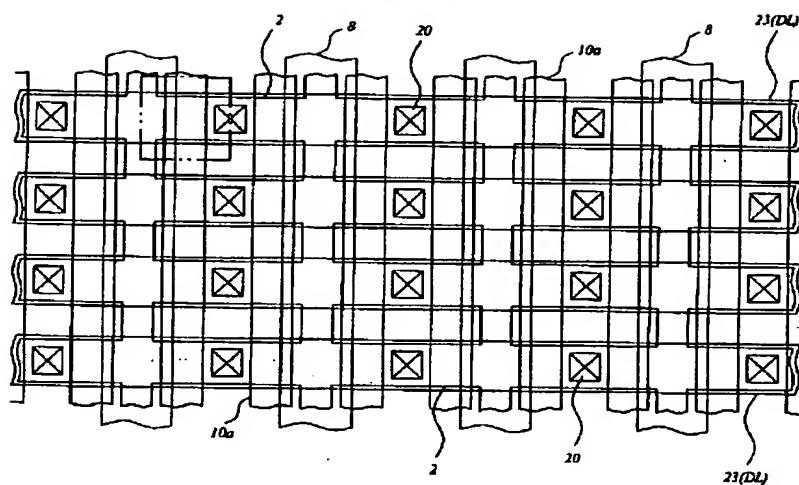
【図 3 A】

図 3A



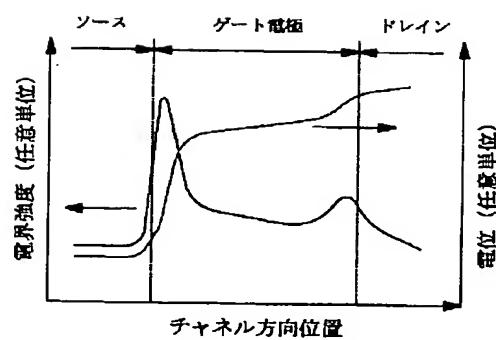
【図3B】

図3B



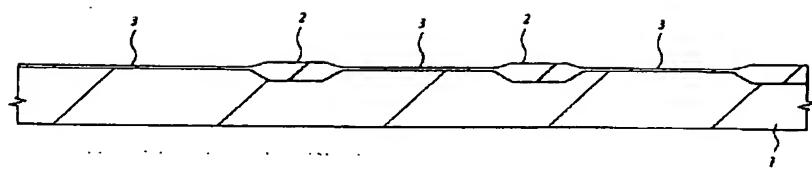
【図6】

図6



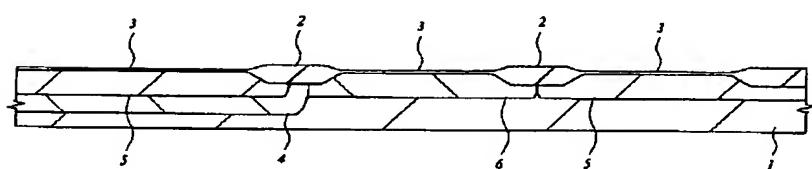
【図7】

図 7



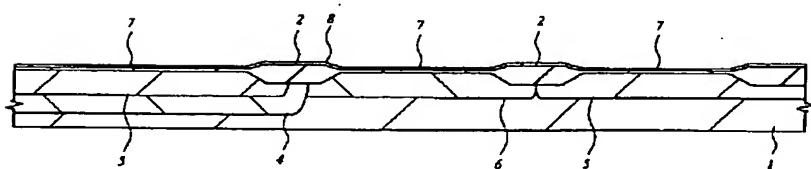
【図8】

図 8



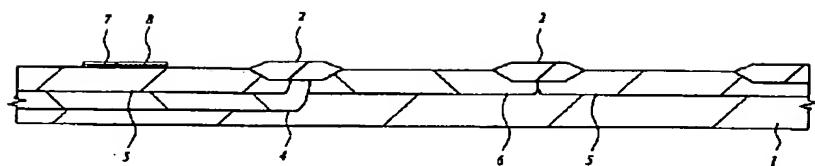
【図9】

図 9



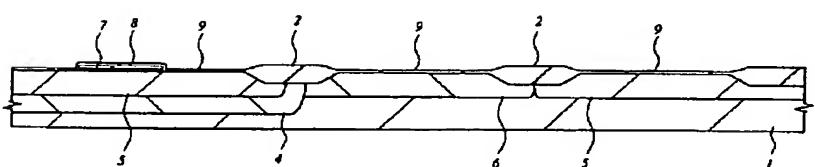
【図10】

FIG. 10



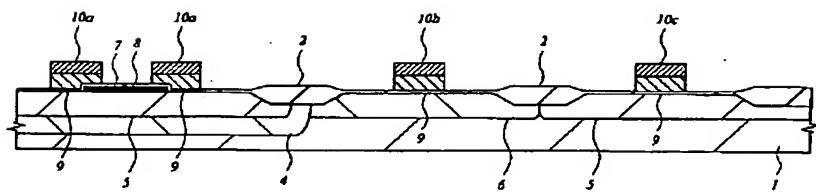
【図11】

FIG. 11



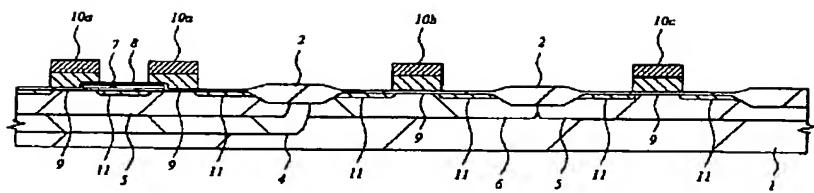
【図12】

FIG. 12



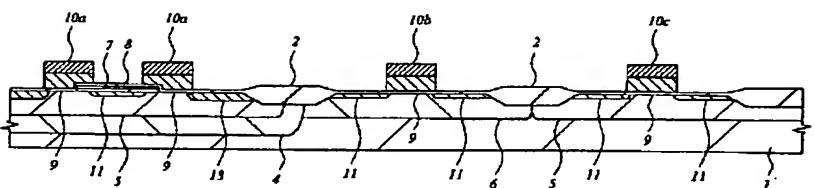
【図13】

FIG. 13



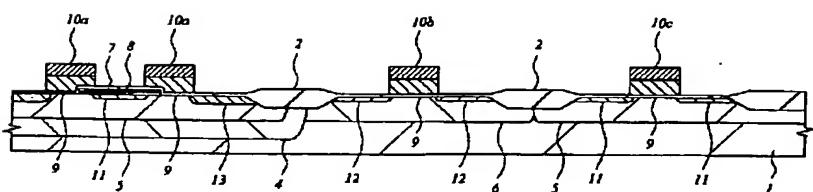
【図14】

FIG. 14



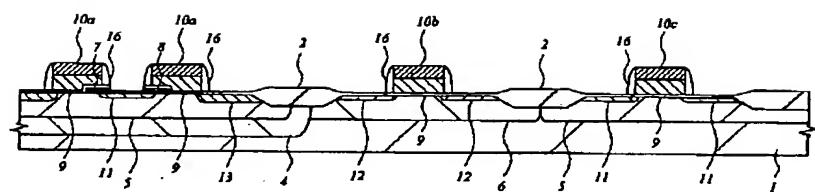
【図15】

FIG. 15



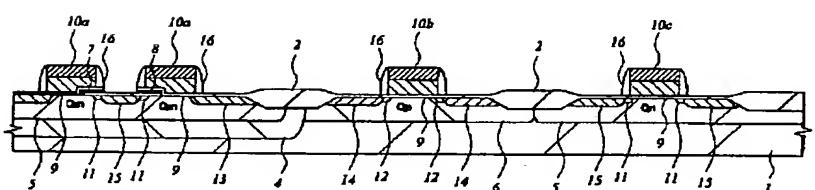
【図16】

図 16



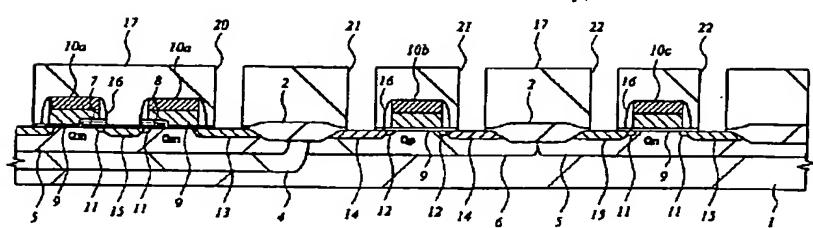
【図17】

図 17



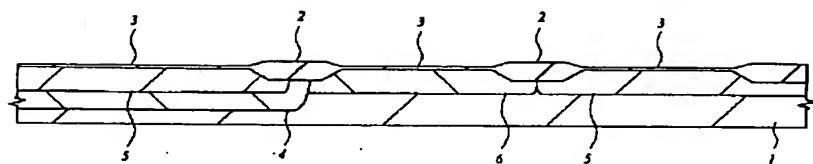
【図18】

図 18



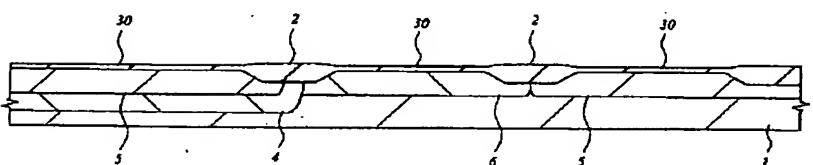
【図19】

FIG. 19



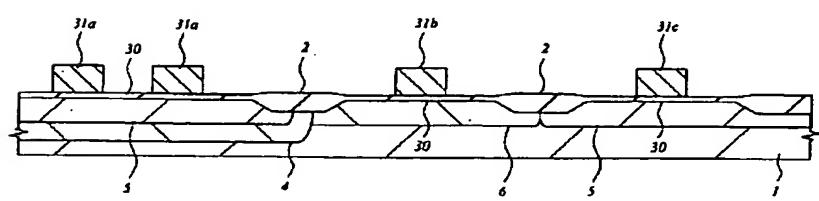
【図20】

FIG. 20



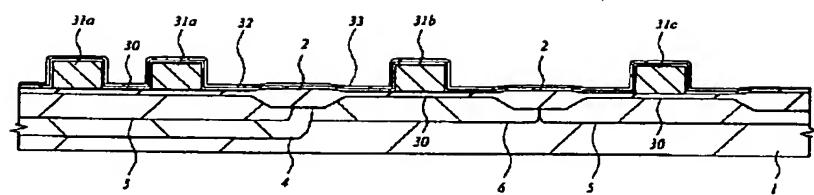
【図21】

FIG. 21



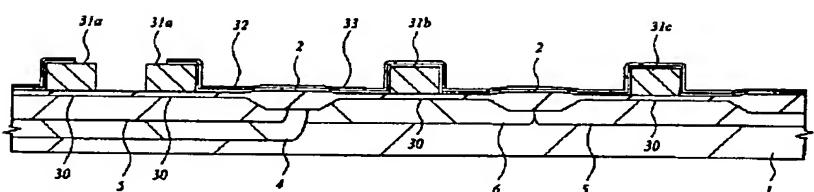
【図 2 2】

図 22



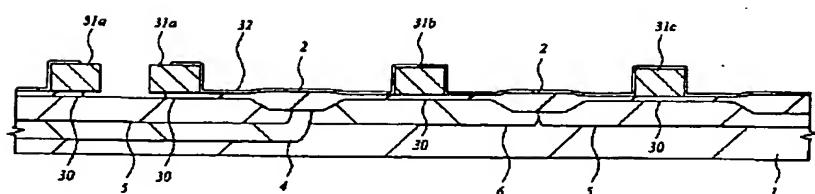
【図 2 3】

図 23



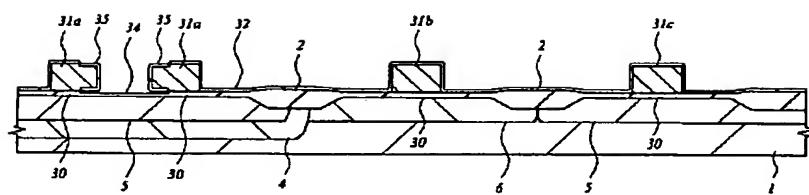
【図 2 4】

図 24



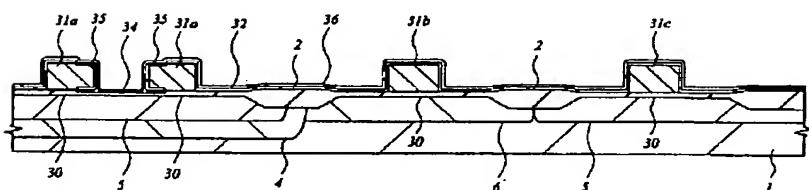
【図25】

図25



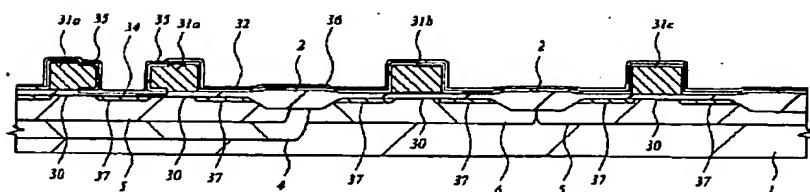
【図26】

図26



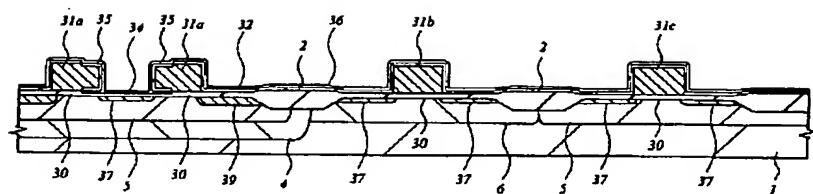
【図27】

図27



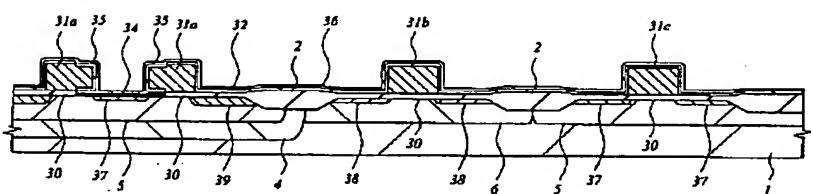
【図28】

図 28



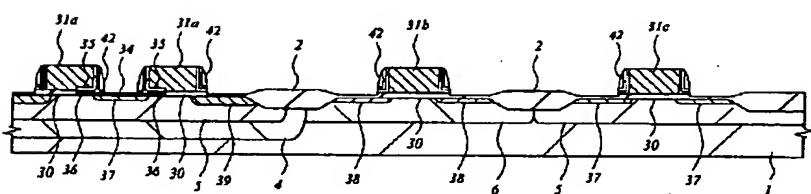
【図29】

図 29



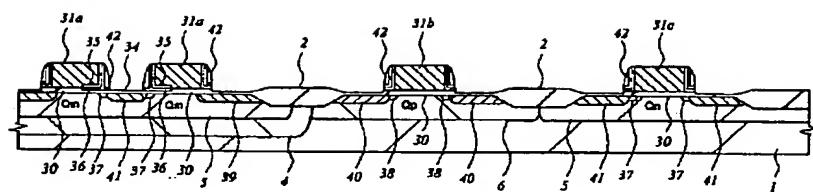
【図30】

図 30



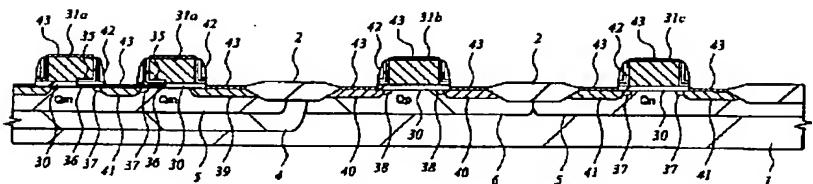
【図31】

図31



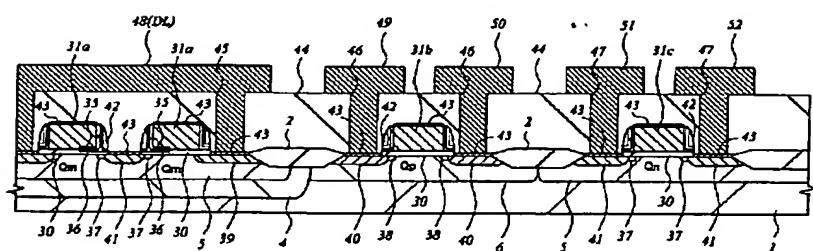
【図32】

図32



【図33】

図33



【図34】

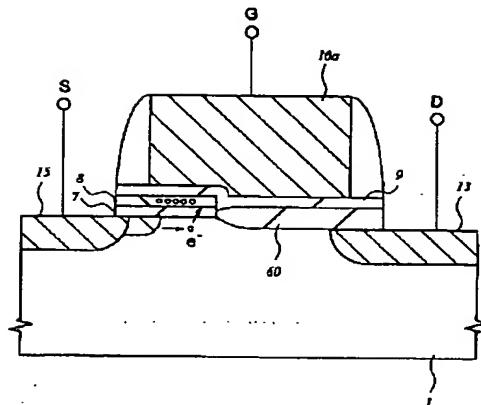
図34

1. アイソレーション形成
2. 深いn型ウエルインプラ
3. 浅いn型ウエルインプラ
4. p型ウエルインプラ
5. ゲート電極加工
6. 溝道部のpMOS低濃度ソース、ドレインインプラ
7. n+型半導体領域インプラ
8. p+型半導体領域インプラ
9. コンタクトホール開孔
10. 第1メタル配線加工



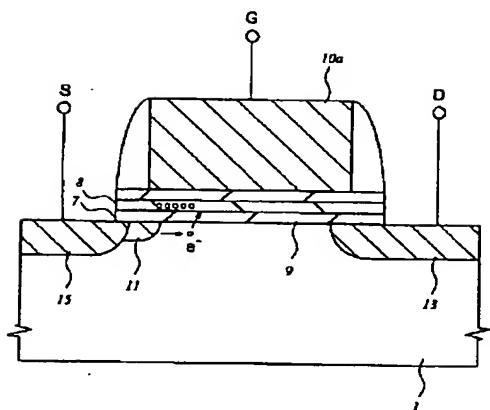
【図35】

図35



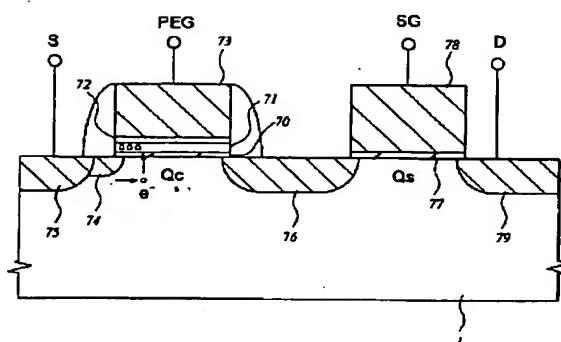
【図36】

図36



【図37】

図37



【图38】

38

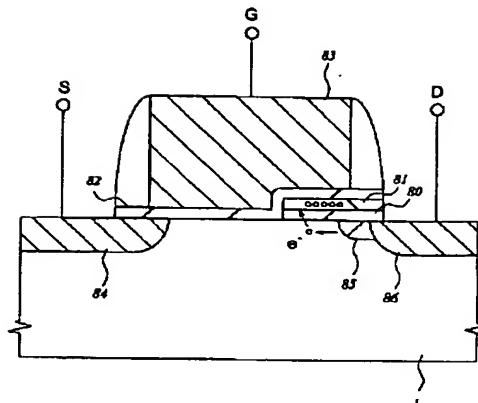
| 端子   | ビット線<br>(D) |     | ワード線<br>(SO) |     | 書込消去線<br>(PBG) |     | ソース線<br>(S) | ウエル |
|------|-------------|-----|--------------|-----|----------------|-----|-------------|-----|
|      | 選択          | 非選択 | 選択           | 非選択 | 選択             | 非選択 |             |     |
| 書込み  | 5V          | 0V  | 2V           | 0V  | 5V             | 0V  | 0V          | 0V  |
| 消去   | 0V          | 0V  | 0V           | 0V  | -10V           | 0V  | 5V          | 5V  |
| 読み出し | 2V          | 0V  | 2V           | 0V  | 2V             | 0V  | 0V          | 0V  |

〔四〇〕

图 40

【図39】

39



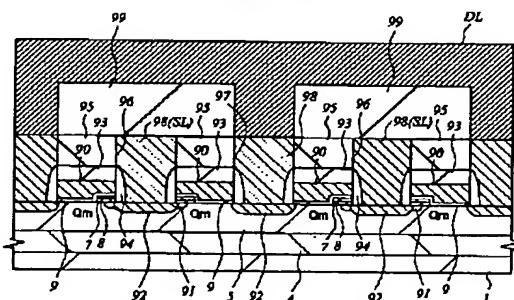
[図45]

☒ 45

| 端子   | ビット線<br>(ドライブ電圧) |     | ワード線<br>(ゲート電圧) |     | ソース線 | ウェル |
|------|------------------|-----|-----------------|-----|------|-----|
|      | 選択               | 非選択 | 選択              | 非選択 |      |     |
| 書込み  | 0V               | 5V  | 5V              | 0V  | 5V   | 0V  |
| 消去   | 0V               | 0V  | -10V            | 0V  | 5V   | 5V  |
| 読み出し | 2V               | 0V  | 2V              | 0V  | 0V   | 0V  |

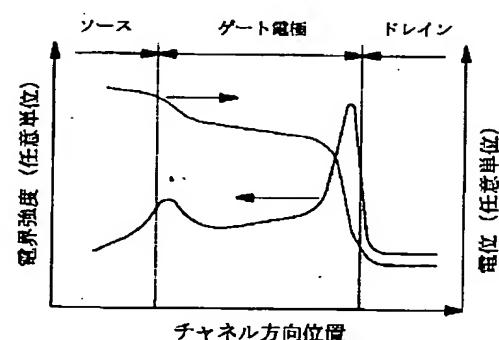
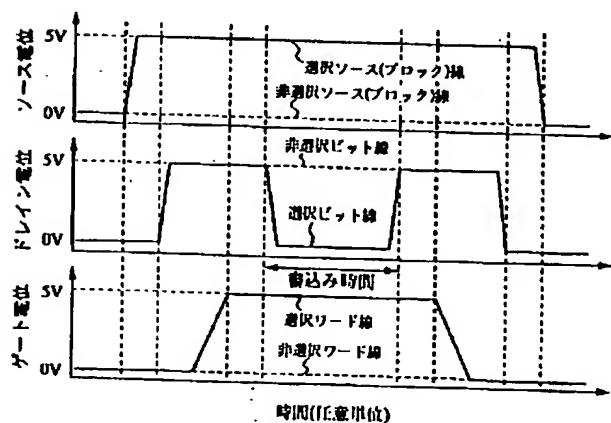
### 【図4-1】

EX 41



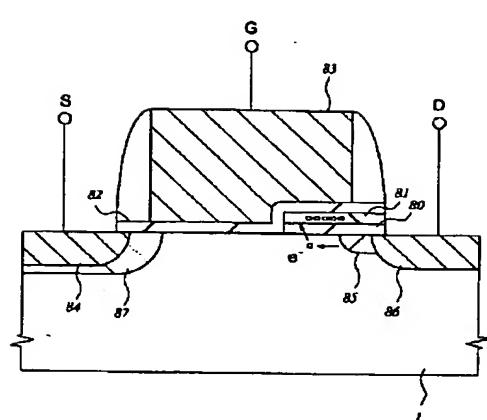
[図4-2]

图 42



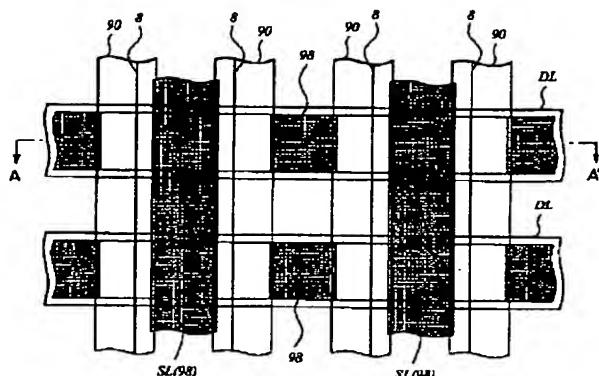
【図43】

29 43



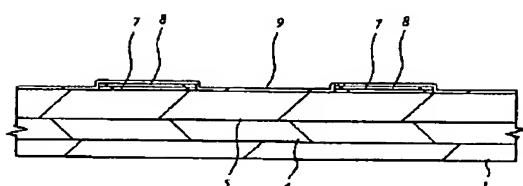
【図4-4】

图 44



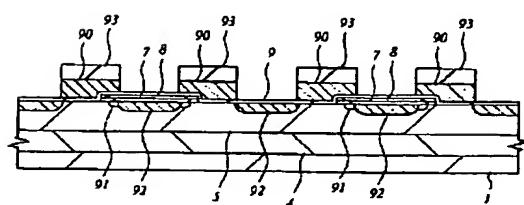
[図46]

图 46



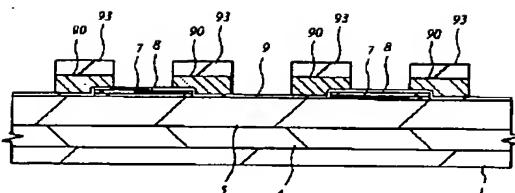
[图4.81]

M 48



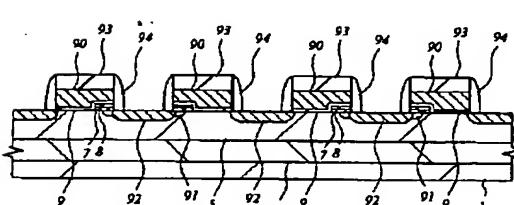
[図47]

47



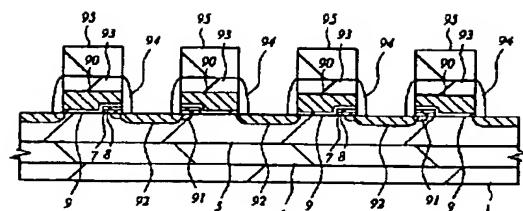
[図49]

图 49



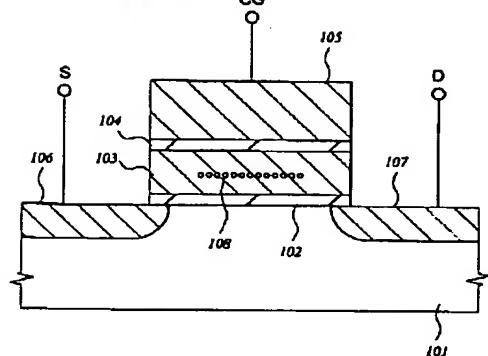
【図50】

図50



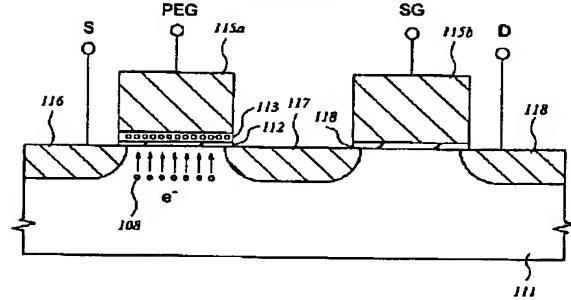
【図52】

図52



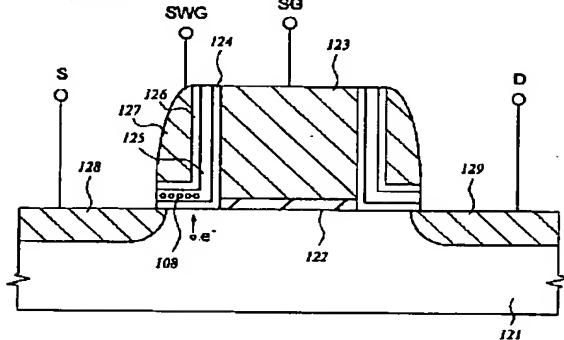
【図53】

図53



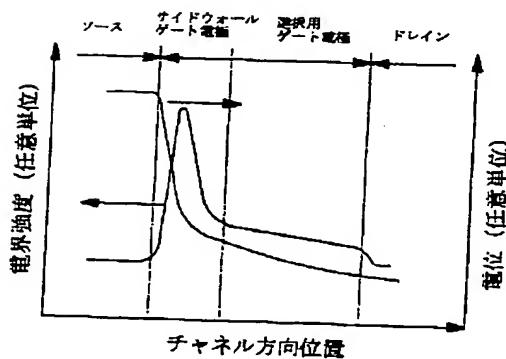
【図54】

図54



【図55】

図55



フロントページの続き

(56)参考文献      特開 平6-350098 (JP, A)  
                  特開 平4-337672 (JP, A)  
                  特開 平6-232416 (JP, A)  
                  特開 平6-161833 (JP, A)  
                  特開 平7-78893 (JP, A)  
                  特開 平6-244434 (JP, A)  
                  特開 平2-295169 (JP, A)  
                  特開 平4-56283 (JP, A)

(58)調査した分野(Int.Cl. 6, DB名)  
                  H01L 27/115  
                  H01L 21/8247  
                  H01L 29/788  
                  H01L 29/792

(19) Japan Patent Office (JP)

(11) Patent Number

No. 2978477

(12) Public Patent Announcement (B1)

(45) Date Issued: November 15, 1999

(24) Date Registered: September 10, 1999

(51) Int. Cl<sup>6</sup> ID Code FI  
H 01 L 27/115 H 01 L 27/10 434  
21/8247 29/78 371  
29/788  
29/792

pages)

Number of claims: 19 (Altogether 33

(21) Application No.: Pat App Hei 10-165733

(22) Application Date: June 12, 1998

Examination Request Date: June 12, 1998

(73) Patent Holder: 000005108  
Hitachi, Ltd.  
6, Surugadai 4-chome, Kanda, Chiyoda-ku, Tokyo

(72) Inventor: Shoji Shukuri  
c/o Semiconductor Division, Hitachi, Ltd.  
20-1, Josui-Honmachi 5-chome, Kodaira City, Tokyo

(72) Inventor: Rei Meguro  
c/o Semiconductor Division, Hitachi, Ltd.  
20-1, Josui-Honmachi 5-chome, Kodaira City, Tokyo

(72) Inventor: Ken'ichi Kuroda  
c/o Semiconductor Division, Hitachi, Ltd.  
20-1, Josui-Honmachi 5-chome, Kodaira City, Tokyo

(74) Agent: Patent attorney Yamato Tsutsui

Examiner: Asahi Shozan

Continued to the final page.

(54) [Title of the Invention] A semiconductor integrated circuit device and its manufacturing method

(57) [Scope of the Patent Claims]

[Claim 1]

A semiconductor integrated circuit where a nonvolatile memory cell is composed of MISFETs, and where a gate electrodes connected electrically to word lines are formed on a gate insulation film, formed on a first conductive type semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising source and drain regions, are formed in the

semiconductor substrate, and a channel region is formed between the first semiconductor region and the second semiconductor region. The semiconductor integrated circuit device is characterized by the fact that the gate insulation film consists, at least in the first semiconductor region side, of three layers of insulation films where a silicon oxide film, a silicon nitride film, and the second silicon oxide film are accumulated, and that writing into the memory cell is performed by setting the second semiconductor region at a higher potential than the first semiconductor region.

[Claim 2]

A semiconductor integrated circuit where a nonvolatile memory cell is composed of MISFETs, and where the gate electrodes connected electrically to word lines are formed on a gate insulation film formed on a semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising a source and a drain region are formed in the semiconductor substrate, and a channel region is formed between the first semiconductor region and the second semiconductor region. A semiconductor integrated circuit device characterized by the fact that the gate insulation film consists, at least in the first semiconductor region side, of three layers of insulation films where a silicon oxide film, a silicon nitride film, and a second silicon oxide film are accumulated, also that the impurity concentration in the part extending to the lower part of the gate electrodes in the first semiconductor region is lower than the impurity concentration in the part extending to the lower part of the gate electrodes in the second semiconductor region, and that hot electrons are injected to the silicon nitride film by generating the hot electrons in the first semiconductor region side.

[Claim 3]

A semiconductor integrated circuit where a nonvolatile memory cell is composed of MISFETs, and where the gate electrodes connected electrically to word lines are formed on a gate insulation film formed on a semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising a source and drain regions are formed in the semiconductor substrate, and a channel region is formed between the first semiconductor region and the second semiconductor region. A semiconductor integrated circuit device characterized by the fact that the gate insulation film consists, in the first semiconductor region side, of three layers of insulation films where a silicon oxide film, a silicon nitride film, and a second silicon oxide film are accumulated. The second semiconductor region side consists of a silicon oxide film, and that the impurity concentration in the part extending to the lower part of the gate electrodes in the first semiconductor region is different from the impurity concentration in the part extending to the lower part of the gate electrodes in the second semiconductor region.

[Claim 4]

A semiconductor integrated circuit device described in Claim 1 or 3, characterized by the fact that the impurity concentration in the part extending to the lower part of the gate electrodes in the first semiconductor region is lower than the impurity concentration in the part extending to the lower part of the gate electrodes in the second semiconductor region.

[Claim 5]

A semiconductor integrated circuit device described in Claim 1, 2, or 4, characterized by the fact that the gate insulation film is made of three layers of insulation films comprising a first silicon oxide film, a silicon nitride film, and a second silicon oxide film are accumulated in the first semiconductor region side, and a silicon oxide film in the second semiconductor region side.

[Claim 6]

A semiconductor integrated circuit device described in one of the Claims 1~5, where a semiconductor integrated circuit device is characterized by the fact that the gate insulation film has the first semiconductor region side and the second semiconductor region side having almost the same electric capacity film thickness.

[Claim 7]

A semiconductor integrated circuit device described in Claim 1, 2, 4, 5, or 6, where a semiconductor integrated circuit device is characterized by the fact that the gate insulation film has the first semiconductor region side and the second semiconductor region side consisting of three layers of insulation films consisting of a first silicon oxide film, a silicon nitride film, and a second silicon oxide film are accumulated.

[Claim 8]

A semiconductor integrated circuit described in Claim 1, 3, 4, 5, 6, or 7, where a semiconductor integrated circuit device is characterized by the fact that writing into the memory cell is performed by injecting hot electrons into the silicon nitride film composing a part of the gate insulation film.

[Claim 9]

A semiconductor integrated circuit device described in one of the Claims 1~8, where a semiconductor integrated circuit device is characterized by the fact that among the three layers of insulation film composing at least a part of the gate insulation film, the film thickness of the first silicon oxide film formed in the lower layer of the silicon nitride film is thicker than the film thickness that direct tunnel current flows.

[Claim 10]

A semiconductor integrated circuit device described in one of the Claims 1~9, where a semiconductor integrated circuit device is characterized by the fact that the second semiconductor region consists of a first conductive type semiconductor region whose one end extends to the lower part of the gate electrodes and a second conductive type semiconductor region whose one end is separated from the gate electrodes, where the first semiconductor region is made of the second conductive type.

[Claim 11]

A semiconductor integrated circuit device described in one of the Claims 1~10, where a semiconductor integrated circuit device is characterized by the fact that reading out of the memory cell is performed by setting the first semiconductor region at higher potential than the second semiconductor region.

[Claim 12]

A semiconductor integrated circuit device described in one of the Claims 1~10, where a semiconductor integrated circuit device is characterized by the fact that reading out of the memory

cell is performed by setting the second semiconductor region at higher potential than the first semiconductor region.

[Claim 13]

A semiconductor integrated circuit device described in one of the Claims 1~12, where a semiconductor integrated circuit device is characterized by the fact that a source line is formed by a plug embedded in the first connection hole formed on the upper insulation film in one of the first and second semiconductor regions, and that bit lines are connected to the other of the first and second semiconductor regions via a plug embedded in the second connection hole formed on the insulation film in the upper part of the other of the first and second semiconductor regions.

[Claim 14]

A semiconductor integrated circuit device described in Claim 13, where a semiconductor integrated circuit device is characterized by the fact that the first connection hole and the second connection hole are formed self-aligned to the space of the gate electrodes of the MISFET.

[Claim 15]

A semiconductor integrated circuit device described in one of the Claims 1~14, where a semiconductor integrated circuit device is characterized by the fact that the memory cell consists of the MISFET comprising a memory element section and a selection MISFET.

[Claim 16]

A semiconductor integrated circuit device described in one of the Claims 1~9 and 11~15, where a semiconductor integrated circuit device is characterized by the fact that the first semiconductor region and the second semiconductor region are the same conductive type.

[Claim 17]

A semiconductor integrated circuit device manufacturing method characterized by the following processes:

- (a) a process where, after forming the second silicon oxide film on a semiconductor substrate, the gate electrodes of MISFET are formed by patterning a conductor film formed on the top of the second silicon oxide film,
- (b) a process where, after forming the second silicon nitride film on the semiconductor substrate containing the upper part of the gate electrodes, the fourth silicon oxide film is formed on the top of the second silicon nitride film,
- (c) a process of exposing the upper part and side walls of the gate electrodes of the MISFET by etching the fourth silicon oxide film and the second silicon nitride film,
- (d) a process of exposing the bottom face of the gate electrodes and the semiconductor substrate in the first region of the lower part of the gate electrodes and leaving the second silicon oxide film in the second region of the lower part of the gate electrodes by isotropically etching the second silicon oxide film,
- (e) a process of forming the first silicon oxide film on the top face of the semiconductor substrate and the bottom face of the gate electrodes in the first region by thermally processing the semiconductor substrate, and

(f) a process of forming the second silicon nitride film on the semiconductor substrate containing a space between the first silicon oxide film formed on the top face of the semiconductor substrate and the first silicon oxide film formed on the bottom face of the gate electrodes in the first region.

[Claim 18]

Being a semiconductor integrated circuit device manufacturing method described in Claim 17, a semiconductor integrated circuit device manufacturing method characterized by the fact that it contains a process of introducing an self-aligned impurity to the end of the first region side of the gate electrodes to form the first semiconductor region in the semiconductor substrate and a process of introducing an self-aligned impurity to the end of the second region side of the gate electrodes to form the second semiconductor region in the semiconductor substrate, and that the impurity concentration in the first semiconductor region is set lower than the impurity concentration in the second semiconductor region.

[Claim 19]

Being a semiconductor integrated circuit device manufacturing method described in Claim 17 or 18, a semiconductor integrated circuit device manufacturing method characterized by the fact that the MISFET comprises a nonvolatile memory, that the gate electrodes of the MISFET comprising a peripheral circuit and the gate electrodes of the MISFET comprising the nonvolatile memory are formed in a process of patterning the same conductive film, and that the gate electrodes of the MISFET comprising the peripheral circuit are formed in a process of forming the second silicon oxide film.

[Detailed Explanation of the Invention]

[0001]

[Field of Technology]

This invention relates to a semiconductor integrated circuit device and its manufacturing technology, especially a technology effectively applicable to semiconductor integrated circuit devices which have a nonvolatile memory of the single MISFET structure that makes the insulation film trap a charge accumulation region.

[0002]

[Prior Art]

The basic cell structure of a nonvolatile memory formed on a silicon substrate is classified into two large categories: the floating gate type where a floating gate is installed between a gate oxide film and a control gate (word lines) above it and being electrically isolated from the surroundings is made a charge accumulation region, and an MNOS (Metal-gate Nitride Oxide Silicon) type where having no such floating gate, a gate insulation film is made of a cumulate film of a silicon oxide film and a silicon nitride film, and the electrons trapped in the silicon nitride film are made a charge accumulation region.

[0003]

Figure 52 is a cross-sectional view showing a representative cell structure of a floating gate type memory. This memory cell has a structure where a floating gate 103, an interlayer insulation film 104, and a control gate (CG) 105 are formed sequentially on the top of a gate oxide film 102 with a

film thickness of about 10 nm formed on the main surface of a silicon substrate 101, and a source (S) 106 and a drain (D) 107 are formed on the silicon substrate 101 on both sides of the floating gate 103.

[0004]

Writing into each memory cell is performed by injecting electrons 108 into the floating gate 103 and increasing the threshold voltage (V<sub>th</sub>) of the transistor seen from the control gate 105 by 3V~5V compared with the condition where there is no accumulation of electrons 108. Also, the mainstream method of injecting electrons 108 into the floating gate 103 is to draw hot electrons generated by the avalanche breakdown near the drain 107 into the floating gate 103 by a positive voltage charged to the control gate 105.

[0005]

On the other hand, Fig. 53 is a cross-sectional view showing a representative cell structure of a MNOS-type memory cell. This memory cell consists of a MISFET (memory element section) where a silicon nitride film 113 and a writing/erasing gate electrode (PEG) 115a are formed sequentially on the top of a direct tunnel oxide film 112 with a film thickness of about 2 nm formed on the main surface of a silicon substrate 111 and a source (S) 116 and a connecting diffusion layer (drain) 117 are formed on the silicon substrate 111 on both sides of the gate electrode 115a. A selection MISFET where a selection gate electrode (SG) 115b on the top of the gate oxide film 118 is formed and a connecting diffusion layer (source) 117 and a drain (D) 119 are formed on the silicon substrate 111 on both sides of the gate electrode 115b.

[0006]

Writing into each memory cell is performed by increasing the threshold voltage of the MISFET in the memory element section through controlling the potential of the silicon substrate 111 and the writing/erasing gate electrode 115a to inject electrons 108 from the silicon substrate 111 side via the direct tunnel oxide film 112 onto the whole surface of the silicon nitride film 113 and make them trapped. Also, erasing is performed in the same way by decreasing the threshold voltage of the MISFET in the memory element section through controlling the potential of the silicon substrate 111 and the writing/erasing gate electrode 115a to eject electrons trapped in the silicon nitride film 113 to the silicon substrate 111 side. In this erasing operation, because the threshold voltage of the memory element section is lowered to below 0 V, namely down to the depression region, the selection MISFET becomes necessary other than the MISFET in the memory element section for reading out.

[0007]

Because the NMOS-type memory cell has an operation scheme of trapping electrons inside an insulation film (silicon nitride film 113), trapped electrons contribute to the modulation of the threshold voltage independently. Therefore, a variation of the threshold voltage over the entire channel region of the memory element section due to partial leakage of electrons inside the silicon nitride film 113 caused by defects inside the tunnel film 112 is very small. In other words, its retention property is excellent, and it can be to be a highly reliable memory cell scheme.

[0008]

Figure 54 is a cross-sectional view showing a cell structure named "Self-Aligned Split-Gate EEPROM Device" described in USP No. 5408115. This memory cell has a structure where a gate oxide film

122 and a selection gate electrode (SG) 123 are accumulated on the main surface of a silicon substrate 121. A side wall gate electrode (SWG) 127 is formed on those side walls via a three-layer insulation film consisting of a silicon oxide film 124, silicon nitride film 125, and a silicon oxide film 126. Also, a source (S) 128 is formed by ion injection masked with this side wall gate electrode (SWG) 127, and a drain (D) 129 is formed by ion injection masked with the selection gate electrode 123.

[0009]

As described in "1997 Symposium on VLSI Technology Digest of Technical Papers p63-p64", writing into a memory cell is performed by charging the source 128, side wall gate electrode 127, and selection gate electrode 123 with voltages of 5 V, 9 V, and 1 V, respectively with the drain 129 as the ground level.

[0010]

Figure 55 shows the potential distribution and electric field intensity distribution of the channel region in the writing operation of the memory cell. Because the voltage (5 V) charged between the source (S) and drain (D) is mostly charged to a void layer of the source, the electric field intensity along the channel direction becomes maximum immediately below the side wall gate electrode (SWG) as shown in the figure. Therefore, electrons running from the drain (D) to the channel region are accelerated in a high electric field region near the source (S) leading to the avalanche breakdown, and hot electrons generated at this time are injected and trapped in the silicon nitride film (125) by a vertical high electric field caused by the side wall gate electrode (SWG). Namely, by electrons being trapped in the silicon nitride film (125) immediately below the side wall gate electrode (SWG), the threshold voltage seen from the side wall gate electrode (SWG) rises up. The writing scheme by these hot electrons is basically identical to the scheme where the hot electrons near the drain in the floating gate type memory cell are drawing into the floating gate.

[0011]

Also, in reading out of the memory cell, a voltage of 1.8 V is charged to the side wall gate electrode (127) and the selection gate electrode (123) with the source (128) as the ground level, and modulation of the threshold voltage seen from the side wall gate electrode (127) due to presence/absence of an electron trap in the silicon nitride film (125) is judged from the drain current. Because this memory cell performs writing using hot electrons, even if the silicon oxide film (124) immediately below the silicon nitride film that traps the electrons is formed with a thicker film thickness (about 10 nm for example) than the direct tunnel oxide film of the MNOS-type memory cell, the writing speed does not become degraded. Also, the thicker this silicon oxide film (124) is, the lower the defect density becomes, and the retention property of the memory cell improves as the result.

[0012]

IEEE Electron Device Lett., (vol. EDL-8, no. 3, pp. 93-95, March 1987) discloses a nonvolatile memory of the single MISFET structure which has no control gate. Memory cell of this nonvolatile memory consist of a gate electrode of polycrystalline silicon formed on the top of a gate insulation film, with a source and a drain formed on a semiconductor substrate on both sides of this gate electrode, and the gate insulation film consists of the three-layer structure where a silicon nitride film is sandwiched between two layers of silicon oxide film.

[0013]

Writing into each memory cell is performed by making the carriers near the drain to be injected into the silicon nitride film and trapped. This memory cell is excellent in its retention property compared with the MNOS-type memory cell because the carriers in the silicon nitride film sandwiched by two layers of silicon oxide films exist locally in a narrow region near the drain.

[0014]

Japanese Patent Disclosure Hei 6-232416 public report discloses nonvolatile memory of the single MISFET structure where a gate insulation film and a trap film that retains the carriers are formed in sequence on the top of a channel region between a source and a drain, and a gate electrode is formed on the top of this gate insulation film and trap film. The gate insulation film is made of a silicon oxide film, and the trap film consists of a three-layer structure where a silicon nitride film is sandwiched between two layers of silicon oxide film.

[0015]

Writing into each memory cell is performed by injecting electrons into a silicon nitride film and trapping them in a silicon oxide film (tunnel oxide film) of a bottom layer comprising a part of the trap film. Because this memory cell forms a gate insulation film of a normal enhancement MISFET and a trap film in the memory section that retains the carriers in the lower part of a single gate electrode, the cell area can be reduced.

[0016]

#### [Problems Overcome by the Invention]

The floating gate type memory cell described above can be designed with relatively a small cell area because a control gate (word lines) is accumulated on the top of a floating gate, having a cell structure fit for increasing the capacity. On the other hand, although the MNOS-type memory cell has an excellent retention property compared with the floating gate type memory cell, being regarded as a highly reliable cell scheme, because it requires two basic elements for a memory element section and selection, the cell area under the same design rule becomes 4~5 times larger than the floating gate type memory cell, having the shortcoming of not being fit for increasing the capacity.

[0017]

Also, the memory cell disclosed in USP No. 5408115 has comparable scalability to the floating gate type memory cell and a reliability equivalent to or higher than the MNOS-type memory cell. However, its cell structure having a selection gate electrode and a side wall gate electrode makes the writing/erasing operation complicated compared with the floating gate type memory cell, increasing the required peripheral circuit area as the result. Moreover, because the side wall gate electrode is about 100 nm in width, its wiring resistance increases to 5~7 times as large as normal gate resistance, introducing degradation of the read-out speed. Furthermore, although the channel region between the selection gate electrode and the side wall gate electrode, namely immediately below the region where a silicon oxide film (124), a silicon nitride film (125), and a silicon oxide film (126) are accumulated in the horizontal direction is as small as about 30 nm in width, and the gate electrode

does not exist on its top. Therefore, this region functions as a parasitic resistance, causing a problem of decreasing the drain current at read-out and degrading the read-out speed.

[0018]

The objective of this invention is to provide a nonvolatile memory equipped with a new cell structure having both scalability comparable to the floating gate type memory cell and the reliability equivalent or higher than the MNOS-type memory cell and its manufacturing method.

[0019]

This and other objectives and new characteristics of this invention will become evident from the descriptions in this specification and attached drawings.

[0020]

**[Problem Resolution Means]**

Among the inventions disclosed in this application, outlines of the representative ones are explained as follows.

[0021]

In the nonvolatile memory cell in this invention, is composed of MISFETs where gate electrodes connected electrically to word lines are formed on a gate insulation film, formed on a first conductive type semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising the source and drain regions are formed in the semiconductor substrate, and a channel region is formed between the first semiconductor region and the second semiconductor region. The gate insulation film consists, at least in the first semiconductor region side, of three layers of insulation films where the first silicon oxide film, a silicon nitride film, and the second silicon oxide film are accumulated.

[0022]

Writing into the memory cell is performed by setting the second semiconductor region at a higher electric level than the first semiconductor region in the selected memory cell and injecting hot electrons generated in the second conductive-type semiconductor region with a low impurity concentration into an electron trap in a silicon nitride film.

[0023]

Other than that, the inventions described in this application are explained item by item as follows.

[0024]

1. A semiconductor integrated circuit where a nonvolatile memory cell is composed of MISFETs, where the gate electrodes connected electrically to word lines are formed on a gate insulation film, formed on a first conductive type semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising the source and drain regions are formed in the semiconductor substrate, and a channel region is formed between the first semiconductor region and

the second semiconductor region. A semiconductor integrated circuit device characterized by the fact that the gate insulation film consists, at least in the first semiconductor region side, of three layers of insulation films where a first silicon oxide film, a silicon nitride film, and the second silicon oxide film are accumulated, and that writing into the memory cell is performed by setting the second semiconductor region at a higher potential than the first semiconductor region.

[0025]

2. A semiconductor integrated circuit where a nonvolatile memory cell is composed of MISFETs where the gate electrodes connected electrically to word lines are formed on a gate insulation film, formed on a semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising the source and drain regions are formed in the semiconductor substrate, and a channel region is formed between the first semiconductor region and the second semiconductor region. A semiconductor integrated circuit device characterized by the fact that the gate insulation film consists, at least in the first semiconductor region side, of three layers of insulation films where a first silicon oxide film, a silicon nitride film, and the second silicon oxide film are accumulated, that the impurity concentration in the part extending to the lower part of the gate electrodes in the first semiconductor region is lower than the impurity concentration in the part extending to the lower part of the gate electrodes in the second semiconductor region, and that hot electrons are injected to the silicon nitride film by generating the hot electrons in the first semiconductor region side.

[0026]

3. A semiconductor integrated circuit where a nonvolatile memory cell is composed of MISFETs where the gate electrodes connected electrically to word lines are formed on a gate insulation film formed on a semiconductor substrate. The first and second semiconductor regions of the second conductive type comprising the source and drain regions are formed in the semiconductor substrate, and a channel region is formed between the first semiconductor region and the second semiconductor region. A semiconductor integrated circuit device characterized by the fact that the gate insulation film consists, in the first semiconductor region side, of three layers of insulation films where the first silicon oxide film, a silicon nitride film, and the second silicon oxide film are accumulated, that the second semiconductor region side consists of a silicon oxide film, and that the impurity concentration in the part extending to the lower part of the gate electrodes in the first semiconductor region is different from the impurity concentration in the part extending to the lower part of the gate electrodes in the second semiconductor region.

[0027]

4. In Claim 1 or 3, a semiconductor integrated circuit device characterized by the fact that the impurity concentration in the part extending to the lower part of the gate electrodes in the first semiconductor region is lower than the impurity concentration in the part extending to the lower part of the gate electrodes in the second semiconductor region.

[0028]

5. In Claim 1, 2, or 4, a semiconductor integrated circuit device characterized by the fact that the gate insulation film is made of three layers of insulation films where the first silicon oxide film, silicon nitride film, and the second silicon oxide film are accumulated in the first semiconductor region side, and a silicon oxide film in the second semiconductor region side.

[0029]

6. In one of the Claims 1~5, a semiconductor integrated circuit device characterized by the fact that the gate insulation film has the first semiconductor region side and the second semiconductor region side having almost the same electric capacity film thickness.

[0030]

7. In Claim 1, 2, 4, 5, or 6, a semiconductor integrated circuit device characterized by the fact that the gate insulation film has the first semiconductor region side and the second semiconductor region side consisting of three layers of insulation films where the first silicon oxide film, silicon nitride film, and the second silicon oxide film are accumulated.

[0031]

8. In Claim 1, 3, 4, 5, 6, or 7, a semiconductor integrated circuit device characterized by the fact that writing into the memory cell is performed by injecting hot electrons into the silicon nitride film composing a part of the gate insulation film.

[0032]

9. In one of the Claims 1~8, a semiconductor integrated circuit device characterized by the fact that among the three layers of insulation film composing at least a part of the gate insulation film, the film thickness of the first silicon oxide film formed in the lower layer of the silicon nitride film is thicker than the film thickness that direct tunnel current flows.

[0033]

10. In one of the Claims 1~9, a semiconductor integrated circuit device characterized by the fact that the second semiconductor region consists of a first conductive type semiconductor region whose one end extends to the lower part of the gate electrodes and a second conductive type semiconductor region whose one end is separated from the gate electrodes, where the first semiconductor region is made of the second conductive type.

[0034]

11. In one of the Claims 1~10, a semiconductor integrated circuit device characterized by the fact that reading out of the memory cell is performed by setting the first semiconductor region at a higher potential than the second semiconductor region.

[0035]

12. In one of the Claims 1~10, a semiconductor integrated circuit device characterized by the fact that reading out of the memory cell is performed by setting the second semiconductor region at a higher potential than the first semiconductor region.

[0036]

13. In one of the Claims 1~12, a semiconductor integrated circuit device characterized by the fact that a source line is formed by a plug embedded in the first connection hole formed on the upper

insulation film in one of the first and second semiconductor regions, and that bit lines are connected to the other of the first and second semiconductor regions via a plug embedded in the second connection hole formed on the insulation film in the upper part of the other of the first and second semiconductor regions.

[0037]

14. In the Claim 13, a semiconductor integrated circuit device characterized by the fact that the first connection hole and the second connection hole are formed self-aligned to the space of the gate electrode of the MISFET.

[0038]

15. In one of the Claims 1~14, a semiconductor integrated circuit device characterized by the fact that the memory cell consists of the MISFET comprising a memory element section and a selection MISFET.

[0039]

16. In one of the Claims 1~9 and 11~15, a semiconductor integrated circuit device characterized by the fact that the first semiconductor region and the second semiconductor region are the same conductive type.

[0040]

17. A semiconductor integrated circuit device manufacturing method characterized by the following processes:

(a) a process where, after forming the first silicon oxide film on a semiconductor substrate, a silicon nitride film is formed on the first silicon oxide film, (b) a process where, by patterning the first silicon oxide film and the silicon nitride film, the first silicon oxide film and the silicon nitride film are left on the first region on the semiconductor substrate, and the first silicon oxide film and the silicon nitride film in the second region are removed, (c) a process of forming the second silicon oxide film on the top of the silicon nitride film in the first region on the semiconductor substrate and in the second region on the semiconductor substrate, and (d) a process where, by patterning a conductive film formed on the top of the second silicon oxide film, gate electrodes of MISFET is formed on the second silicon oxide film in the first and second regions.

[0041]

18. A semiconductor integrated circuit device manufacturing method characterized by the following processes:

(a) a process where, after forming the second silicon oxide film on a semiconductor substrate, the gate electrodes of MISFET are formed by patterning a conductor film formed on the top of the second silicon oxide film, (b) a process where, after forming the second silicon nitride film on the semiconductor substrate containing the upper part of the gate electrodes, the fourth silicon oxide film is formed on the top of the second silicon nitride film, (c) a process of exposing the upper part and side walls of the gate electrodes of the MISFET by etching the fourth silicon oxide film and the second silicon nitride film, (d) a process of exposing the bottom face of the gate electrodes and the semiconductor substrate in the first region of the lower part of the gate electrodes and leaving the second silicon oxide film in the second region of the lower part of the gate electrodes by isotropically

etching the second silicon oxide film, (e) a process of forming the first silicon oxide film on the top face of the semiconductor substrate and the bottom face of the gate electrodes in the first region by thermally processing the semiconductor substrate, and (f) a process of forming the second silicon nitride film on the semiconductor substrate containing a space between the first silicon oxide film formed on the top face of the semiconductor substrate and the first silicon oxide film formed on the bottom face of the gate electrodes in the first region.

[0042]

19. In Claim 17 or 18, a semiconductor integrated circuit device manufacturing method characterized by the fact that it contains a process of introducing an self-aligned impurity to the end of the first region side of the gate electrodes to form the first semiconductor region in the semiconductor substrate and a process of introducing an self-aligned impurity to the end of the second region side of the gate electrodes to form the second semiconductor region in the semiconductor substrate, and that the impurity concentration in the first semiconductor region is set lower than the impurity concentration in the second semiconductor region.

[0043]

20. In the Claim 17, 18, or 19, a semiconductor integrated circuit device manufacturing method characterized by the fact that the MISFET comprises nonvolatile memory, that gate electrodes of the MISFET comprising a peripheral circuit and gate electrodes of the MISFET comprising the nonvolatile memory are formed in a process of patterning the same conductive film, and that gate electrodes of the MISFET comprising the peripheral circuit are formed in a process of forming the second silicon oxide film.

[0044]

**[Embodiments of the Invention]**

Below, the embodiments of this invention are explained in detail based on the drawings. Here, in all the drawings for explaining the embodiments, the same code is used for the elements having the same function, and repetitions of the explanation are omitted.

[0045]

**(Embodiment 1)**

Figure 1 is an outline circuit diagram showing the main part of a flash memory (lump erasing type nonvolatile memory) which is an embodiment of this invention.

[0046]

In the memory cell array (MA) of this flash memory, are formed a plurality of word lines WL (WL<sub>1</sub>~WL<sub>m</sub>) and a plurality of source lines SL (SL<sub>1</sub>~SL<sub>m/2</sub>) extending in the right-left direction (X direction) of the figure, a plurality of bit lines DL (DL<sub>1</sub>~DL<sub>n</sub>) extending in the Y direction intersecting with them perpendicularly, and a plurality of memory cells M (M<sub>11</sub>~M<sub>nm</sub>) configured in the MISFET structure described later.

[0047]

Each of the word lines WL (WL<sub>1</sub>~WL<sub>m</sub>) is connected to the gate electrodes of a plurality of memory cells, positioned along the X direction, and its one end is connected to a row decoder (X-DEC). Each of the source lines SL (SL<sub>1</sub>~SL<sub>m/2</sub>) is positioned as one between two word lines WL and is connected to a source common to two memory cells M neighboring in the Y direction. Also, one end of these source lines SL (SL<sub>1</sub>~SL<sub>m/2</sub>) is connected to a common source line CSL positioned in the peripheral part of the memory cell array (MA). Each of the bit lines DL (DL<sub>1</sub>~DL<sub>n</sub>) is connected to a drain common to two memory cells neighboring in the Y direction, and its one end is connected to a column decoder (Y-DEC) and a sense-up (SA).

[0048]

Figure 2 is a cross-sectional view of the main part of a semiconductor substrate showing a part of each of the memory cell array and the neighboring peripheral circuit. Fig. 3 (A) is a plan view showing a conductive layer pattern equivalent to about four memory cells, and Fig. 3 (B) is a plan view showing a conductive layer pattern equivalent to about 12 memory cells.

[0049]

A p-type well 5 is formed in a memory cell array region of a semiconductor substrate 1 made of a p-type silicon single crystal, and a p-type well 6 and an n-type well 6 are formed in the peripheral circuit region. Also, in the bottom part of the p-type well 5 in the memory cell array region, a deep n-type well 4 for separating electrically this p-type well 5 from the other regions of the semiconductor substrate is formed. On the surface of each of the p-type well 5 and the n-type well 6, is formed a field oxide film 2 made of a silicon oxide film for element separation.

[0050]

In the p-type well 5 in the memory cell array region, is formed an n-channel type MISFET Q<sub>m</sub> comprising a memory cell. Also, in the p-type well 5 in the peripheral circuit region, is formed an n-channel type MISFET Q<sub>n</sub> comprising a part of the peripheral circuit, and in the n-type well 6, is formed a p-channel type MISFET Q<sub>p</sub> comprising the other part of the peripheral circuit.

[0051]

The MISFET Q<sub>m</sub> comprising a memory cell consists mainly of a gate electrode 10a formed on a gate insulation film, an n<sup>+</sup>-type semiconductor region 13 (drain) whose one end extends to the bottom of the gate electrode 10a, an n<sup>+</sup>-type semiconductor region 15 (high concentration source) formed offset relative to the gate electrode 10a, an n<sup>-</sup>-type semiconductor region 11 (low concentration source) which is formed around the n<sup>+</sup>-type semiconductor region 15 and whose one end extends to the bottom of the gate electrode 10a, and a channel formation region (p-type well 5) sandwiched by the source and drain. The gate electrode 10a is configured as one body with the word lines WL, and the source (n<sup>+</sup>-type semiconductor region 15, n<sup>-</sup>-type semiconductor region 11) is configured as one body with the source lines SL.

[0052]

The gate electrode 10a consists of, for example, a polycide film where a W (tungsten) silicide film is accumulated on the top of an n-type polycrystalline silicon film, and on its side walls are formed a side wall spacer 16 composed of a silicon oxide film. Also, a gate insulation film formed on the

bottom of the gate electrode 10a consists of one layer of silicon oxide film 9 in the drain side and three layers of insulation films where a silicon oxid film 7 and a silicon nitride film 8 are accumulated on the bottom of the silicon oxide film 9 in the source side.

[0053]

The p-channel type MISFET Qp in the peripheral circuit consists mainly of a gate electrode 10b formed on a gate insulation film (silicon oxide film 9), a pair of n<sup>+</sup>-type semiconductor regions 14 (source and drain) formed offset relative to the gate electrode 10b, a pair of p<sup>+</sup>-type semiconductor regions 12 whose one end extends to the bottom of the gate electrode 10b, and a channel formation region (p-type well 5) sandwiched by the source and drain. Also, the n-channel type MISFET Qn in the peripheral circuit consists mainly of a gate electrode 10c formed on a gate insulation film (silicon oxide film 9), a pair of n<sup>+</sup>-type semiconductor regions 15 (source and drain) formed offset relative to the gate electrode 10c, a pair of n<sup>-</sup>-type semiconductor regions 11 whose one end extends to the bottom of the gate electrode 10c, and a channel formation region (p-type well 5) sandwiched by the source and drain. Namely, the p-channel type MISFET Qp and the n-channel type MISFET Qn in the peripheral circuit are configured with the LDD (Lightly Doped Drain) structure. The gate electrode 10b of the p-channel type MISFET Qp and the gate electrode 10c of the n-channel type MISFET Qn are composed of polycide film in the same way as the gate electrode 10a in the memory cell, and a side wall spacer 16 composed of a silicon oxide film is formed on their side walls.

[0054]

A silicon oxide film 17 with a thick film is formed on the top of the memory cell (MISFET Qm), p-channel type MISFET Qp, and n-channel type MISFET Qn, and on its top are formed wirings 23~27 composed of an Al alloy film for example.

[0055]

The wiring 23 formed on the memory cell array region comprises the bit lines DL and is connected to a drain (n<sup>+</sup>-type semiconductor region 13) of the memory cell via a contact hole 20 formed on a silicon oxide film 17. Also, among the wirings 24~27 formed in the peripheral circuit region, the wirings 24 and 25 are connected to a pair of p<sup>+</sup>-type semiconductor regions 14 (source and drain) of the p-channel type MISFET Qp via a pair of contact holes 21 formed on the silicon oxide film 17, and the wirings 26 and 27 are connected to a pair of n<sup>+</sup>-type semiconductor regions 15 (source and drain) of the n-channel type MISFET Qn via a pair of contact holes 22 formed on the silicon oxide film 17.

[0056]

Next, the program operations of the flash memory are explained using Fig. 4 (an outline cross-sectional view showing about one memory cell), Fig. 5 (the memory cell operation voltage table), and Fig. 6 (a plot showing the potential distribution and electric field intensity distribution in the channel region at the writing operation of the memory cell).

[0057]

The writing operation sets the source (11, 15) of a selected memory cell (MISFET Qm) to the ground level (0 V) and charges the gate electrode (10a) and the drain (13) each with a positive voltage of 5 V. By this, a peak of electric field intensity shown in Fig. 6 occurs at the edge of the low concentration source (11), hot electrons (e<sup>-</sup>) generated in this region (low concentration source side) are injected into

the electron trap inside the silicon nitride film 8, and the threshold voltage seen from the gate electrode (10a) rises, performing a writing operation.

[0058]

Also, the reading operation is performed in the same way by setting the source (11, 15) of a selected memory cell to the ground level (0 V) and charging the gate electrode (10a) and the drain (13) each with a positive voltage of 2 V. The erasing operation is performed by setting the drain (13) of a memory cell to the ground level (0 V), charging the source (11, 15) with a positive voltage of 5 V and the gate electrode (10) with a negative voltage of -10 V, respectively, and ejecting the electrons trapped in the silicon nitride film 8 to the substrate (p-type well 5) side, lowering the threshold voltage seen from the gate electrode (10a).

[0059]

Next, an example of the manufacturing method of the nonvolatile memory is explained using Fig. 7 ~ Fig. 18 (essential-section cross-sectional views of the semiconductor substrate each showing a part of the memory cell array region and its neighboring peripheral circuit region).

[0060]

First, a semiconductor substrate 1 made of a p-type silicon single crystal having a specific resistance of about  $10 \Omega\text{cm}$  is prepared as shown in Fig. 7, and after a field oxide film 2 with a film thickness of about 500 nm is formed on its surface by the selective oxidation (LOCOS) method, the semiconductor substrate 1 is thermally oxidized, forming a silicon oxide film 3 with a film thickness of about 20 nm on the surface of the element forming region surrounded with the field oxide film 2. The silicon oxide film 3 is used as a mask when an impurity is ion implanted into the semiconductor substrate 1 in the next process.

[0061]

Next, as shown in Fig. 8, after forming a deep n-type well 4 on the semiconductor substrate 1 in the memory cell array region, a shallow p-type well 5 is formed on the semiconductor substrate 1 in the memory cell array region and a part of the peripheral circuit (n-channel type MISFET forming region), and a shallow n-type well 6 is formed on the semiconductor substrate 1 in the other part of the peripheral circuit (p-channel type MISFET forming region).

[0062]

The deep n-type well 4 is formed by ion-implanting the n-type impurity (phosphorus) to the semiconductor substrate 1 under a condition of acceleration energy 3000 keV and dose amount  $1 \times 10^{13}/\text{cm}^2$  masked with a photoresist film with a film thickness of about 5  $\mu\text{m}$  where an opening is installed in the memory cell array region. Also, the shallow p-type well 5 is formed by ion-implanting a p-type impurity (boron) to the semiconductor substrate 1 under a condition of acceleration energy 450 keV and dose amount  $1 \times 10^{13}/\text{cm}^2$ , and acceleration energy 2000 keV and dose amount  $3 \times 10^{12}/\text{cm}^2$  masked with a photoresist film with a film thickness of about 2.5  $\mu\text{m}$  where openings are installed in the memory cell array region and the n-channel type MISFET forming region. Moreover, the shallow n-type well 6 is formed by ion-implanting an n-type impurity (phosphorus) to the semiconductor substrate 1 under a condition of acceleration energy 1000 keV and dose amount  $1.5 \times 10^{13}/\text{cm}^2$ , acceleration energy 370 keV and dose amount  $3 \times 10^{13}/\text{cm}^2$ , and

acceleration energy 180 keV and dose amount  $1 \times 10^{12}/\text{cm}^2$  masked with a photoresist film with a film thickness of about 2.5  $\mu\text{m}$  where an opening is installed in the p-channel type MISFET forming region.

[0063]

Here, in the ion implantation process for forming the p-type well 5, an impurity (boron) for adjusting the threshold voltage ( $V_{th}$ ) of the memory cell (MISFET  $Q_m$ ) and n-channel type MISFET  $Q_n$  is ion injected at the same time (acceleration energy 50 keV, dose amount  $1.2 \times 10^{12}/\text{cm}^2$ ). Also, in the ion implantation process for forming the n-type well 6, impurity (boron) for adjusting the threshold voltage ( $V_{th}$ ) of the p-channel type MISFET  $Q_p$  is ion injected at the same time (acceleration energy 20 keV, dose amount  $1.5 \times 10^{12}/\text{cm}^2$ ).

[0064]

Next, after removing the silicon oxide film 3 on the surfaces of the p-type well 5 and the n-type well 6 by wet etching, as shown in Fig. 9, the semiconductor substrate 1 is thermally oxidized at about 750°C to form a silicon oxide film 7 with a film thickness of about 7 nm on the surfaces of the p-type well 5 and the n-type well 6, and further a silicon nitride film 8 with a film thickness of about 7 nm is accumulated on the top of the silicon oxide film 7 by the thermal CVD method at about 800°C.

[0065]

Next, as shown in Fig. 10, the silicon nitride film 8 and a silicon oxide film 7 are patterned to leave these films only in the source forming region of the memory cell and its vicinity. Patterning of the silicon nitride film 8 is performed by dry etching masked with a photoresist film with a film thickness of about 1  $\mu\text{m}$  where openings are installed in the source forming region and its vicinity, and the patterning of the silicon oxide film 7 is performed by dry etching masked with the silicon nitride film 8 after removing the photoresist film by ashing. The widths of the two layers of insulation films (silicon oxide film 7 and silicon nitride film 8) left in the source forming region and its vicinity are adjusted so that the length of the lower portion of the gate electrode 10a (length of the longest dimension of the gate) formed in a later process becomes about 20 nm ~ 200 nm.

[0066]

Next, as shown in Fig. 11, the semiconductor substrate 1 is thermally oxidized at about 800°C to form a silicon oxide film 9 with a film thickness of about 15 nm on the surfaces of the p-type well 5 and the n-type well 6. At this time, because the silicon nitride film 8 in the memory cell array region is oxidized at the same time, a silicon oxide film 9 with a film thickness of about 2 nm is also formed on that surface.

[0067]

Next, as shown in Fig. 12, a gate electrode 10a of the memory cell (MISFET  $Q_m$ ) is formed on the silicon oxide film 9 in the memory cell array region, and a gate electrode 10b of the p-channel type MISFET  $Q_n$  and a gate electrode 10c of the n-channel type MISFET  $Q_p$  are formed on the silicon oxide film 9 in the peripheral circuit region. The gate electrodes 10a, 10b, and 10c are formed by accumulating a polycrystalline silicon film with a film thickness of about 100 nm and phosphorus concentration of about  $2 \times 10^{20}/\text{cm}^3$  and a W silicide film with a film thickness of about 50 nm by the

thermal CVD method at about 600°C on the silicon oxide film 9, and then patterning these films by dry etching masked with a photoresist film.

[0068]

Next, as shown in Fig. 13, an n<sup>-</sup>-type semiconductor regions 11 with a low impurity concentration are formed on the p-type well 5 on both sides of each of the gate electrodes 10a and 10c and the n-type well 6 on both sides of the gate electrode 10b by ion-implanting n-type impurity (phosphorus) to the whole surface of the semiconductor substrate 1 under a condition of acceleration energy 40 keV and dose amount  $1 \times 10^{13}/\text{cm}^2$ .

[0069]

Next, as shown in Fig. 14, an n<sup>+</sup>-type semiconductor region 13 comprising the drain of the memory cell is formed by ion-implanting an n-type impurity (arsenic) to the p-type well 5 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the drain forming region of the memory cell under a condition of acceleration energy 50 keV and dose amount  $3 \times 10^{15}/\text{cm}^2$ .

[0070]

Next, as shown in Fig. 15, a p<sup>-</sup>-type semiconductor region 12 with a low impurity concentration is formed through compensating the n<sup>-</sup>-type semiconductor region 11 to the n-type well 6 on both sides of the gate electrode 10b by ion-implanting a p-type impurity (boron difluoride) to the n-type well 6 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the p-channel type MISFET forming region under a condition of acceleration energy 50 keV and dose amount  $2 \times 10^{13}/\text{cm}^2$ .

[0071]

Next, as shown in Fig. 16, after accumulating a silicon oxide film (not shown in the figure) with a film thickness of about 200 nm on the semiconductor substrate 1 by the CVD method, a side wall spacer 16 of about 150 nm in width is formed on the side wall of each of the gate electrodes 10a, 10b, and 10c by etching anisotropically this silicon oxide film. At this time, the silicon oxide film 9 and the silicon nitride film 8 covering the source forming region of the memory cell are also etched.

[0072]

Next, as shown in Fig. 17, a p<sup>+</sup>-type semiconductor region 14 with a high impurity concentration comprising the source and drain of the p-channel type MISFET is formed by ion-implanting a p-type impurity (boron difluoride) to the n-type well 6 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the p-channel type MISFET forming region under a condition of acceleration energy 50 keV and dose amount  $3 \times 10^{15}/\text{cm}^2$ .

[0073]

Subsequently, an n<sup>+</sup>-type semiconductor region 15 with a high impurity concentration comprising the source of the memory cell and an n<sup>+</sup>-type semiconductor region 15 with a high impurity concentration comprising the source and drain of the n-channel type MISFET are formed by ion-implanting an n-type impurity (arsenic) to the p-type well 5 masked with a photoresist film with a

film thickness of about 1  $\mu\text{m}$  where an opening is installed in the source forming region and the n-channel type MISFET forming region of the memory cell under a condition of acceleration energy 50 keV and dose amount  $2 \times 10^{15}/\text{cm}^2$ . Through the processes so far, the memory cell (MISFET Qm) and MISFET of the peripheral circuit (n-channel type MISFET Qn and p-channel type MISFET Qp) are completed.

[0074]

Next, as shown in Fig. 18, after accumulating a silicon oxide film 17 with a film thickness of about 500 nm on the semiconductor substrate 1 by the CVD method, contact holes 20, 21, and 22 are formed on the top of the drain of the memory cell, the top of the source and drain of the n-channel type MISFET Qn, and the top of the source and drain of the p-channel type MISFET Qp, respectively, by dry-etching the silicon oxide film 17 masked with a photoresist film.

[0075]

After that, an Al alloy film with a film thickness of about 500 nm is accumulated on the silicon oxide film 17 including the interiors of the contact holes 20~22 by the sputtering method, and wirings 23~27 are formed by patterning this Al alloy film by dry etching masked with a photoresist film, almost completing a flash memory of this embodiment shown in the Fig. 2.

[0076]

Because the flash memory of this embodiment configured in the above way has its memory cell made of a single MISFET in the same way as in the conventional floating gate type memory cell. The writing/erasing operation can be performed relatively easily, and it does not increase the necessary peripheral circuit area. Also, the manufacturing process becomes simple.

[0077]

Because the flash memory of this embodiment does not use high-resistance wiring at the reading operation such as the conventional memory cell equipped with side wall gate electrodes, no degradation in the reading speed occurs. Also, because it adopts a scheme where the gate electrode and drain are charged with a positive voltage and hot electrons generated near the source are injected to electron traps in a silicon nitride film at the writing operation, injection efficiency is improved as the potential difference between the source at the ground level and the gate electrode becomes large, enabling a lower-voltage operation than in the conventional cell structure.

[0078]

In the flash memory of this embodiment, because the gate electrodes of the memory cell cover the whole surface of the channel region, no parasitic resistance occurs immediately below the insulation film between the side wall gate electrode and the control gate electrode which is a problem in the conventional cell structure equipped with a side wall gate electrode, causing no decline in the drain current in the reading operation.

[0079]

In the flash memory manufacturing method of this embodiment, because the gate insulation film (three layers of insulation films consisting of silicon oxide film 7, silicon nitride film 8, and silicon

oxide film 9) in the source side of the memory cell is formed self-aligned to the gate electrode, it can be designed with the equivalent cell area to the conventional floating gate type memory cell, realizing nonvolatile memory excellent in scalability.

[0080]

(Embodiment 2)

A flash memory manufacturing method of this embodiment is explained using Fig. 19 ~ Fig. 33 (essential-section cross-sectional views of a semiconductor substrate each showing a part of the memory cell array region and its neighboring peripheral circuit region).

[0081]

First of all, as shown in Fig. 19, after forming a field oxide film 2 on the surface of a semiconductor substrate 1 made of a p-type silicon single crystal, a silicon oxide film 3 is formed on the surface of an element forming region surrounded with the field oxide film 2. Subsequently, after forming a deep n-type well 4 on the semiconductor substrate 1 in the memory cell array region, a shallow p-type well 5 is formed on the semiconductor substrate 1 in the memory cell array region and a part of the peripheral circuit (n-channel type MISFET forming region), and a shallow n-type well 6 is formed on the semiconductor substrate 1 in the other part of the peripheral circuit (p-channel type MISFET forming region). The processes so far are the same as in the embodiment 1.

[0082]

Next, as shown in Fig. 20, the semiconductor substrate 1 is thermally oxidized at about 800°C to form a gate oxide film 30 with a film thickness of about 15 nm on the surfaces of the p-type well 5 and the n-type well 6, afterwards as shown in Fig. 21, a polycrystalline silicon film (not shown in the figure) with a film thickness of about 200 is accumulated on the semiconductor substrate 1 by the thermal CVD method at about 600°C, and afterwards this polycrystalline silicon film 31 is dry-etched masked with a photoresist film, forming the gate electrode 31a of the memory cell and the gate electrodes 31b and 31c of the peripheral circuit.

[0083]

Next, as shown in Fig. 22, after accumulating a silicon nitride film 32 with a film thickness of about 20 nm on the semiconductor substrate 1 including the top portions of the gate electrodes 31a, 31b, and 31c by the CVD method, a silicon oxide film 33 with a film thickness of about 50 nm is accumulated on the top of the silicon nitride film 32 by the CVD method.

[0084]

Next, as shown in Fig. 23, a silicon oxide film 33 is wet-etched masked with a photoresist film with a film thickness of about 1  $\mu$ m where openings are installed in the source forming region of the memory cell and its vicinity. Subsequently the photoresist film is removed by ashing, and afterwards the silicon nitride film 32 covering the source forming region of the memory cell and the gate electrode 31a in its vicinity is removed by wet-etching the silicon nitride film 32 masked with the silicon oxide film 33.

[0085]

Next, as shown in Fig. 24, the gate oxide film covering the source-forming region of the memory cell is removed by wet-etching masked with the silicon nitride film 32. At this time, the gate oxide film 30 in the lower part of the gate electrode 31, a pattern-formed next to the source-forming region is also etched, and a part of it is undercut over about 70 nm in width from its edge.

[0086]

Next, as shown in Fig. 25, the semiconductor substrate 1 is thermally oxidized at about 750°C to form a silicon oxide film 34 with a film thickness of about 5 nm on the source-forming region of the memory cell and the surface of the p-type well 5 exposed in the vicinity. At this time, the gate electrode 31a exposed in the vicinity of the source-forming region of the memory cell, is also oxidized at the same time, forming a silicon oxide film 35 with a film thickness of about 5 nm on its surface.

[0087]

Next, as shown in Fig. 26, a silicon nitride film 36 with a film thickness of about 10 nm is accumulated on the semiconductor substrate 1 by the CVD method. By this, three layers of gate insulation film consisting of the silicon oxide film 34, silicon nitride film 36, and silicon oxide film 35 are formed in the source-forming region side in the lower part of the gate electrode 10a.

[0088]

Next, as shown in Fig. 27, the n-type semiconductor regions 37 with a low impurity concentration are formed on the p-type well 5 on both sides of each of the gate electrodes 10a and 10c and the n-type well 6 on both sides of the gate electrode 10b by ion-implanting a n-type impurity (phosphorus) to the whole surface of the semiconductor substrate 1 under a condition of acceleration energy 40 keV and dose amount  $1 \times 10^{13}/\text{cm}^2$ .

[0089]

Next, as shown in Fig. 28, an n<sup>+</sup>-type semiconductor region 39 comprising the drain of the memory cell is formed by ion-implanting a n-type impurity (arsenic) to the p-type well 5 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the drain-forming region of the memory cell under a condition of acceleration energy 50 keV and dose amount  $3 \times 10^{15}/\text{cm}^2$ .

[0090]

Next, as shown in Fig. 29, a p<sup>+</sup>-type semiconductor region 38 with a low impurity concentration is formed through compensating the n<sup>+</sup>-type semiconductor region 37 to the n-type well 6 on both sides of the gate electrode 31b by ion-implanting a p-type impurity (boron difluoride) to the n-type well 6 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the p-channel type MISFET forming region under a condition of acceleration energy 50 keV and dose amount  $2 \times 10^{13}/\text{cm}^2$ .

[0091]

Next, as shown in Fig. 30, after accumulating a silicon oxide film with a film thickness of about 200 nm on the semiconductor substrate 1 by the CVD method, a side wall spacer 42 of about 150 nm in

width is formed on side wall of each of the gate electrodes 31a, 31b, and 31c by etching anisotropically this silicon oxide film. At this time, the silicon oxide film 35 and the silicon nitride film 36 covering the upper parts of the gate electrodes 31a, 31b, and 31c are also etched at the same time, exposing the surfaces of the gate electrodes 31a, 31b, and 31c.

[0092]

Next, as shown in Fig. 31, a p<sup>+</sup>-type semiconductor region 40 with a high impurity concentration comprising the source and drain of the p-channel type MISFET is formed by ion-implanting a p-type impurity (boron difluoride) to the n-type well 6 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the p-channel type MISFET forming region under a condition of acceleration energy 50 keV and dose amount  $3 \times 10^{15}/\text{cm}^2$ .

[0093]

Subsequently, an n<sup>+</sup>-type semiconductor region 41 with a high impurity concentration comprising the source of the memory cell and an n<sup>+</sup>-type semiconductor region 41 with a high impurity concentration comprising the source and drain of the n-channel type MISFET are formed by an ion-implanting n-type impurity (arsenic) to the p-type well 5 masked with a photoresist film with a film thickness of about 1 μm where an opening is installed in the source forming region and the n-channel type MISFET forming region of the memory cell under a condition of acceleration energy 50 keV and dose amount  $2 \times 10^{15}/\text{cm}^2$ . Through the processes so far, the memory cell (MISFET Qm) and MISFET of the peripheral circuit (n-channel type MISFET Qn and p-channel type MISFET Qp) are completed.

[0094]

Next, after removing the silicon oxide film 34 covering the surfaces of the source and drain of the MISFET by etching the surface of the semiconductor substrate 1, as shown in Fig. 32, silicide layers 43 of low resistance are formed on the surfaces of the gate electrodes 31a, 31b, and 31c and the source and drain (n<sup>+</sup>-type semiconductor region 39, p<sup>+</sup>-type semiconductor region 40, and n<sup>+</sup>-type semiconductor region 41). The silicide layer 43 is formed, for example, by accumulating a high melting point metal film such as Co (cobalt) film and Ti (cobalt) film by the sputtering method, next thermally processing the semiconductor substrate 1 to react the high melting point metal film with the substrate (Si) and the gate electrodes (31a~31c) forming a Co silicide layer, and removing the unreacted high melting point metal film by wet etching.

[0095]

Next, as shown in Fig. 33, in the same way as in embodiment 1, after forming contact holes 45, 46, and 47 on a silicon oxide film 44 accumulated on the semiconductor substrate 1, wirings 48~52 are formed on the top of the silicon oxide film 44, almost completing the flash memory of this embodiment 2.

[0096]

Figure 34 is a table listing the photomasks used in the manufacturing method. Among the thirteen photomasks used in the metal manufacturing process, the photomasks proper to manufacture memory cell are two pieces of one (No. 6) for processing silicon nitride film and another (No. 7) for drain formation, being very simplified.

[0097]

Also, the writing/erasing operation property and retention property of the flash memory manufactured in the method were in the same degrees with those of the flash memory of the embodiment 1.

[0098]

(Embodiment 3)

Figure 35 is an essential-section cross-sectional view of a semiconductor substrate showing the cell structure of a flash memory of this embodiment.

[0099]

While the drain-side gate insulation film is composed of one layer of silicon oxide film 9 in the memory cell (MISFET Qm) of embodiment 1, in this embodiment the drain-side gate insulation film is composed of two layers of the silicon oxide film 9 and silicon oxide film 60 formed underneath. Also, the electric capacity film thickness of the drain-side gate insulation film consisting of these two layers of silicon oxide film 9 and 60 is approximately equal to the electric capacity film thickness of the source-side gate insulation film composed of the silicon oxide film 7 and 9 and a silicon nitride film 8 sandwiched between them. Namely, the gate insulation film of this memory cell consists of almost the same electric capacity film thickness (about 17.5 nm for example) in the drain side and source side.

[0100]

The configuration and program operation of the memory cell of this embodiment, except as described above, are the same as those of the memory cell of embodiment 1. Also, the memory cell manufacturing method of this embodiment is the same as the manufacturing method in embodiment 1, except that one process increases, where the silicon oxide film 60 is formed by thermally processing the semiconductor substrate 1.

[0101]

According to the flash memory of this embodiment, by setting the electric capacity film thickness of the gate insulation film about the same over the entire lower part of the gate electrode 10a, even when the length of the source-side gate insulation film (silicon oxide film 9, silicon nitride film 8, and silicon oxide 7) along the gate length direction varies due to a variation in the manufacturing process, the drain current driving capability will not change. By this, because the drain current at the writing operation becomes constant, a variation of writing time is prevented, and a stable memory cell property becomes possible.

[0102]

(Embodiment 4)

Figure 36 is an essential-section cross-sectional view of a semiconductor substrate showing the cell structure of a flash memory of this embodiment.

[0103]

While only the source-side gate insulation film is composed of a three-layer film (silicon oxide film 9, silicon nitride film 8, and silicon oxide film 7), in this embodiment the whole drain-side gate insulation film in the lower part of the gate electrode 10a is composed of the three-layer film (silicon oxide film 9, silicon nitride film 8, and silicon oxide film 7). The film thickness of these three layers total about 7 nm.

[0104]

The configuration and program operation of the memory cell of this embodiment other than those differences described above are the same as the memory cell of embodiment 1. Also, the memory cell manufacturing method of this embodiment is the same as the manufacturing method described in embodiment 1, except that one process is omitted where the silicon oxide film 7 and silicon nitride film 8 are patterned to leave them only in the source side. This memory cell was written at 1  $\mu$ sec.

[0105]

(Embodiment 5)

Figure 37 is an essential-section cross-sectional view of a semiconductor substrate showing the cell structure of a flash memory of this embodiment.

[0106]

This flash memory cell is composed with the MISFET Qc which is a memory element section and the selection MISFET Qs. The MISFET Qc in the memory element section mainly consists of a writing/erasing gate electrode (PEG) 73 made of a polycrystalline silicon film formed on a gate insulation film with three-layer structure consisting of a bottom gate oxide film 70 with a film thickness of about 8 nm, a silicon nitride film 71 with a film thickness of about 10 nm, and a top gate oxide film 72 with a film thickness of about 10 nm, etc. and a source and a drain (connecting diffusion layer) formed on a semiconductor substrate 1 on both sides of this gate electrode 73.

[0107]

The source consists of an n<sup>-</sup>-type semiconductor region 74 with a low impurity concentration whose one end extends to the bottom of the gate electrode 73 and an n<sup>+</sup>-type semiconductor region with a high impurity concentration formed so that it is offset relative to the gate electrode 73, and the drain (connecting diffusion layer) consists of an n<sup>+</sup>-type semiconductor region 76 whose one end extends to the bottom of the gate electrode 73.

[0108]

Also, the selection MISFET Qs mainly consists of a selection gate electrode (SG) 78 made of a polycrystalline silicon film etc. formed on the top of the gate oxide film 77 with a film thickness of about 4 nm, a source (connecting diffusion layer) and a drain formed on the semiconductor substrate 1 on both sides of this gate electrode 78. The drain consists of an n<sup>-</sup>-type semiconductor region 79 with a high impurity concentration whose one end extends to the bottom of the gate electrode 78. The source consists of an n<sup>+</sup>-type semiconductor region 76 which is the drain of the MISFET Qc, and its one end extends to the bottom of the gate electrode 78.

[0109]

The program operations of the flash memory is explained using Fig. 38 (a memory cell operation voltage table). Writing is performed by charging the drain of the selection MISFET Qs with 5 V, the gate electrode 78 with 2 V, turning the selection MISFET Qs on, charging the gate electrode 73 with 5 V with the source of the MISFET Qc of the memory element section as the ground level (0 V), and a peak in the electric field intensity is generated near an n-type semiconductor region 74 with a low impurity concentration comprising a part of the source. By this, hot electrons generated in this region are injected to the electron traps inside the silicon nitride film 71, the threshold voltage seen from the gate electrode 73 of the MISFET Qc rises to 4 V or higher, and writing is performed. Because this memory cell can control the drain current with the voltage charged to the gate electrode 73, compared with the conventional MNOS-type memory cell where electrons are injected to the whole surface of a silicon nitride film from the substrate side via a direct tunnel oxide film by controlling the potential of the substrate and writing/erasing gate electrode, writing can be performed with lower electric power consumption.

[0110]

The erasing operation is performed by charging the gate electrode 73 of the MISFET Qc with -10 V and the source and well with 5 V, and ejecting electrons inside the silicon nitride film 71. Also, the writing operation is performed by charging the drain gate electrode 73 of the selection MISFET Qs and the gate electrode 73 of the MISFET Qc with 2 V, and judging the threshold voltage of the MISFET Qc.

[0111]

(Embodiment 6)

Figure 39 is an essential-section cross-sectional view of a semiconductor substrate showing the cell structure of a flash memory of this embodiment.

[0112]

The MISFET comprising this memory cell mainly consists of a gate electrode 83 made of a polycrystalline silicon film etc. formed on a gate insulation film, and a source and a drain formed on a semiconductor substrate 1 on both sides of this gate electrode 83. The source consists of an n<sup>+</sup>-type semiconductor region 84 with a high impurity concentration whose one end extends to the lower part of the gate electrode 83, and the drain consists of a p<sup>+</sup>-type semiconductor region 85 with a low impurity concentration (about  $1 \times 10^{18} \sim 10^{19}/\text{cm}^3$ ) whose one end extends to the lower part of the gate electrode 83 and an n<sup>+</sup>-type semiconductor region 86 with a high impurity concentration formed offset relative to the gate electrode 83. Also, in the gate insulation film, while the source side consists of a gate oxide 82 with a film thickness of about 10 nm, the drain side consists of a bottom gate oxide film 80 with a film thickness of about 8 nm, a silicon nitride film 81 with a film thickness of about 10 nm, and a top gate oxide film 82 with a film thickness of about 10 nm. In this way, the memory cell of this embodiment has a characteristic in that it performs the injection of hot electrons at the time of writing in the drain side.

[0113]

As shown in Fig. 40, the writing and erasing operations of this flash memory are the same as in the memory cell of embodiment 1. On the other hand, writing is performed by charging each of the gate electrode 83 and the source with a positive voltage of 5 V with the drain of the selected memory cell as the ground level (0 V).

[0114]

Figure 41 is a plot showing time change of the voltage charged to each terminal at the writing operation. Writing is performed by pre-charging all the bit lines to 5 V after charging the common source line of the selected memory block with 5 V. Next, after raising the potential of only the selected word line to 5 V, only the selected bit line is lowered to 0 V. This time for lowering it to 0 V is the writing time, and a channel current flows from the source to drain direction of the memory cell within this time. At this time, as shown in Fig. 42, because most of the potential levels set to 5 V in the source side and 0 V in the drain side drop in the low concentration drain (p-type semiconductor region 85) region, a peak of the electric field intensity occurs at the edge of the drain. Then, hot electrons generated by this high electric field are accelerated by the transverse direction electric field of 5 V charged to the selected word line and injected to the electron traps inside the silicon nitride film 81, thus performing writing.

[0115]

(Embodiment 7)

Figure 43 is an essential-section cross-sectional view of a semiconductor substrate showing the cell structure of a flash memory of this embodiment.

[0116]

This memory cell performs the injection of hot electrons at the writing time in the drain side and has the same cell structure as embodiment 6 except that the source consists of an n-type semiconductor region 87 with a low impurity concentration whose one end extends to the lower part of the gate electrode 83 and an n<sup>+</sup>-type semiconductor region 84 with a high impurity concentration formed offset relative to the gate electrode 83.

[0117]

Writing is started by pre-charging all the bit lines to 5 V after charging the common source line of the selected memory block to 5 V in the same way as embodiment 6. By the way, if this 5 V power supply for writing is an internal power supply such as a booster circuit formed on a chip, because the power supply capability is limited, there occurs a problem that charging to a large enough voltage becomes impossible if there is a large connection leak of the current of the common source line to be charged. In this embodiment, by forming an n-type semiconductor region 87 with a low impurity concentration in the source side, because the electric field of the source connection is moderated when charging the source at the writing time. The problem can be avoided by attempting a reduction of the leak current and an improvement of the connection voltage resistance of the source connection.

[0118]

(Embodiment 8)

Figure 44 is an outline plan showing the cell structure of a flash memory of this embodiment, and Fig. 45 is a essential-section cross-sectional view of the semiconductor substrate along the A-A' line in Fig. 44.

[0119]

In the MISFET Qm comprising the memory cell of this embodiment, in the same way as embodiment 1, the source-side gate insulation film consists of a three-layer film (silicon oxide film 9, silicon nitride film 8, and silicon oxide film 7), and the drain side consists of a one layer of silicon oxide film 9. On the other hand, the bit lines DL and the drain (n<sup>+</sup>-type semiconductor region 92) are electrically connected via a plug 98 formed on the upper part of the drain. Also, the sources (n<sup>+</sup>-type semiconductor region 92) of a plurality of memory cells along the extending direction of the gate electrode 90 are electrically connected via the source lines (SL) consisting of plug 98 formed on their top.

[0120]

In order to manufacture the memory cell, first as shown in Fig. 46, after a deep n-type well 4 and a shallow p-type well 5 are formed on a p-type semiconductor substrate 1 by the same method as in embodiment 1, a gate insulation film whose source side consists of a three-layer film (silicon oxide film 9, silicon nitride film 8, and silicon oxide film 7) and drain side consists of one layer of silicon oxide film 9 is formed on the surface of the p-type well 5.

[0121]

The silicon oxide film 7 is formed by thermally oxidizing the semiconductor substrate 1 at about 800°C, and its film thickness is set to about 11 nm. Also, the silicon nitride film 8 is formed by the thermal CVD method at about 730°C, and its film thickness is set to about 10 nm. Moreover, the silicon oxide film 9 is formed by patterning the silicon nitride film 8 and silicon oxide film 7 to leave these films only on the source forming region of the memory cell and its vicinity, and then thermally oxidizing the semiconductor substrate 1 at about 800°C, and its film thickness is set to about 15 nm.

[0122]

Next, as shown in Fig. 47, a polycrystalline silicon film with a film thickness of about 100 nm and phosphorus concentration of about  $2 \times 10^{20}/\text{cm}^3$  is accumulated on the top of the silicon oxide film 9 by the CVD method, and next after accumulating a silicon nitride film 93 with a film thickness of about 200 nm on the top by the CVD method, these films are patterned by dry etching masked with a photoresist film, forming a gate electrode 90 consisting of the polycrystalline silicon film.

[0123]

Next, as shown in Fig. 48, a p-type semiconductor region 91 is formed by ion-implanting a p-type impurity (boron) to the p-type well 5 from an oblique 30° angle masked with a photoresist film where an opening is installed in the source forming region under a condition of acceleration energy 20 keV and dose amount  $1 \times 10^{13}/\text{cm}^2$ . Subsequently, an n<sup>+</sup>-type semiconductor region 92 comprising the source and drain is formed on the p-type well 5 on both sides of the gate electrode 90 by an ion-implanting n-type impurity (arsenic) to the whole surface of the memory cell array region under a condition of acceleration energy 50 keV and dose amount  $2 \times 10^{15}/\text{cm}^2$ .

[0124]

Next, as shown in Fig. 49, after accumulating a silicon nitride film on the semiconductor substrate 1 by the CVD method, by anisotropically etching this silicon nitride film, a side wall spacer 94 is formed on the side wall of the gate electrode 90. At this time, the gate insulation film covering the surfaces of the source and drain is etched at the same time.

[0125]

Next, as shown in Fig. 50, after accumulating a silicon oxide film 95 on the semiconductor substrate 1 by the CVD method, by etching this silicon oxide film 95 masked with a photoresist film where an opening is installed on the upper part of the drain, a contact hole 96 is formed in the source line forming region including the upper part of the source, and a contact hole 97 is formed on the upper part of the drain.

[0126]

In the process of etching the silicon oxide film 95, because the side wall spacer 94 of silicon nitride formed on the side wall, the gate electrode 90 functions as an etching stopper, the contact holes 96 and 97 are formed self-aligned to the space of the gate electrode 90. By this, because the fitting allowance between the contact holes 96 and 97 and the gate electrode 90 becomes unnecessary, the space of the gate electrode 90 can be designed in the minimum processing size.

[0127]

Next, as shown in Fig. 91, source lines (SL) are formed inside the contact hole 96, and a plug 98 is formed inside the contact hole 97. The source lines (SL) and the plug 98 are formed by accumulating a polycrystalline silicon film doped with an n-type impurity on the top of the silicon oxide film 95 by the CVD method and then flattening the surface of this polycrystalline silicon film by the chemical-mechanical polishing (CMP) method.

[0128]

Subsequently, after accumulating a silicon oxide film 99 on the top of the silicon oxide film 95 by the CVD method, an Al alloy film is accumulated on the top of the silicon oxide film 99 by the sputtering method, and by patterning this Al alloy film by dry etching masked with a photoresist film to form bit lines DL, the flash memory of this embodiment shown in the Fig. 44 and Fig. 45 is almost completed.

[0129]

According to this embodiment, because the space of the gate electrode 90 can be designed with the minimum processing size, the cell area could be reduced to  $0.5 \mu\text{m} \times 0.4 \mu\text{m} = 0.2 \mu\text{m}^2$  at the gate length of  $0.3 \mu\text{m}$ . Also, writing time of the memory cell was 5 microseconds and the erasing time was 10 milliseconds, confirming enough stable retention property similar to the embodiment 1.

[0130]

Above, although the invention made by the present inventors was explained concretely based on the embodiments, this invention is not limited to the embodiments but can be changed in various ways within the range not deviating from its essence.

[0131]

Because the nonvolatile memory of this invention has a simple cell structure and a simple manufacturing process, application to LSIs where nonvolatile memory and logic LSI are mounted on the same semiconductor substrate is also easy.

[0132]

**[Efficacy of the Invention]**

Among the inventions disclosed in this application, the effects obtained by the representative ones are simply explained below.

[0133]

In the nonvolatile memory of this invention, because the memory cell consists of a single MISFET, writing/erasing operation can be performed relatively easily, not increasing the necessary peripheral circuit area. Also, its manufacturing process is simple.

[0134]

Because the nonvolatile memory of this invention adopts a scheme where a positive voltage is charged to the gate electrode and drain at the writing operation and hot electrons generated near the source are injected to the electron traps inside the silicon nitride film, the potential difference between the source at the ground level and the gate electrode becomes large, improving the injection efficiency and enabling operation at a lower voltage compared with the conventional cell structure.

[0135]

In the nonvolatile memory manufacturing method of this invention, because the source-side gate insulation film (a three-layer insulation film consisting of silicon oxide film, silicon nitride film, and silicon oxide film) of the memory cell is formed self-aligned to the gate electrode, it can be designed to have the equivalent cell area to the conventional floating gate type memory cell, realizing nonvolatile memory excellent in scalability.

**[Brief Explanation of the Drawings]**

**[Fig. 1]**

An outline circuit diagram showing the main section of the flash memory which is embodiment 1 of this invention.

**[Fig. 2]**

A cross-sectional view showing the essential section of the flash memory which is embodiment 1 of this invention.

[Fig. 3A]

A plan view showing the conductive layer pattern of the flash memory which is embodiment 1 of this invention.

[Fig. 3B]

A plan view showing the conductive layer pattern of the flash memory which is embodiment 1 of this invention.

[Fig. 4]

An outline cross-sectional view explaining the program operation of the flash memory which is embodiment 1 of this invention.

[Fig. 5]

An operation voltage table explaining the program operation of the flash memory which is embodiment 1 of this invention.

[Fig. 6]

A plot showing the potential distribution and electric field intensity distribution in the channel region in the writing operation of the flash memory which is embodiment 1 of this invention.

[Fig. 7]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 8]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 9]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 10]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 11]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 12]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 13]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 14]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 15]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 16]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 17]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 18]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 1 of this invention.

[Fig. 19]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 20]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 21]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 22]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 23]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 24]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 25]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 26]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 27]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 28]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 29]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 30]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 31]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 32]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 33]

An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 34]

A flow chart showing the manufacturing method of the flash memory which is embodiment 2 of this invention.

[Fig. 35]

An outline cross-sectional view of the flash memory which is embodiment 3 of this invention.

[Fig. 36]

An outline cross-sectional view of the flash memory which is embodiment 4 of this invention.

[Fig. 37]

An outline cross-sectional view of the flash memory which is embodiment 5 of this invention.

[Fig. 38]

An operation voltage table explaining the program operation of the flash memory which is embodiment 5 of this invention.

[Fig. 39]

An outline cross-sectional view of the flash memory which is embodiment 6 of this invention.

[Fig. 40]

An operation voltage table explaining the program operation of the flash memory which is embodiment 6 of this invention.

[Fig. 41]

A plot showing the time change of charged voltage in the writing operation of the flash memory which is embodiment 6 of this invention.

[Fig. 42]

**A plot showing the potential distribution and electric field intensity distribution of the channel region in the writing operation of the flash memory which is embodiment 6 of this invention.**

**[Fig. 43]**

**An outline cross-sectional view of the flash memory which is embodiment 7 of this invention.**

**[Fig. 44]**

**An essential-section cross-sectional view showing the cell structure of the flash memory which is embodiment 8 of this invention.**

**[Fig. 45]**

**An essential-section cross-sectional view of the semiconductor substrate along the A-A' line in Fig. 44.**

**[Fig. 46]**

**An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 8 of this invention.**

**[Fig. 47]**

**An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 8 of this invention.**

**[Fig. 48]**

**An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 8 of this invention.**

**[Fig. 49]**

**An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 8 of this invention.**

**[Fig. 50]**

**An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 8 of this invention.**

**[Fig. 51]**

**An essential-section cross-sectional view showing the manufacturing method of the flash memory which is embodiment 8 of this invention.**

**[Fig. 52]**

**An outline cross-sectional view showing the cell structure of a floating gate type memory cell.**

[Fig. 53]

An outline cross-sectional view showing the cell structure of an MNOS-type memory cell.

[Fig. 54]

An outline cross-sectional view showing the cell structure of a memory cell having a selection gate electrode and a side wall gate electrode.

[Fig. 55]

A plot showing the potential distribution and electric field intensity distribution of the channel region in the writing operation of the flash memory shown in Fig. 54.

[Explanation of the Codes]

- 1: Semiconductor substrate
- 2: Field oxide film
- 3: Silicon oxide film
- 4: (Deep) n-type well
- 5: p-type well
- 6: n-type well
- 7: Silicon oxide film
- 8: Silicon nitride film
- 9: Silicon oxide film
- 10a, 10b, 10c: Gate electrodes
- 11: n-type semiconductor region
- 12: p-type semiconductor region
- 13: n<sup>+</sup>-type semiconductor region
- 14: p<sup>+</sup>-type semiconductor region
- 15: n<sup>+</sup>-type semiconductor region
- 16: Side wall spacer
- 17: Silicon oxide film
- 20~22: Contact holes
- 23~27: Wirings
- 30: Gate oxide film
- 31a, 31b, 31c: Gate electrodes
- 32: Silicon nitride film
- 33: Silicon oxide film
- 34: Silicon oxide film
- 35: Silicon oxide film
- 36: Silicon nitride film
- 37: n<sup>+</sup>-type semiconductor region
- 38: p<sup>+</sup>-type semiconductor region
- 39: n<sup>+</sup>-type semiconductor region
- 40: p<sup>+</sup>-type semiconductor region
- 41: n<sup>+</sup>-type semiconductor region
- 42: Side wall spacer

43: Silicide film  
44: Silicon oxide film  
45~47: Contact holes  
48~52: Wiring 60 Silicon oxide film  
70: Bottom gate oxide film  
71: Silicon nitride film  
72: Top gate oxide film  
73: Gate electrode  
74: n<sup>-</sup>-type semiconductor region  
75: n<sup>+</sup>-type semiconductor region  
76: n<sup>+</sup>-type semiconductor region  
77: Gate oxide film  
78: Gate electrode  
79: n<sup>+</sup>-type semiconductor region  
80: Bottom gate oxide film  
81: Silicon nitride film  
82: (Top) Gate oxide film  
83: Gate electrode  
84: n<sup>-</sup>-type semiconductor region  
85: p<sup>-</sup>-type semiconductor region  
86: n<sup>+</sup>-type semiconductor region  
87: n<sup>-</sup>-type semiconductor region  
90: Gate electrode  
91: p<sup>-</sup>-type semiconductor region  
92: n<sup>+</sup>-type semiconductor region (source, drain)  
93: Silicon nitride film (cap)  
94: Side wall spacer  
95: Silicon oxide film  
96, 97: Contact holes  
98: Plug  
99: Silicon oxide film  
101: Silicon substrate  
102: Gate oxide film  
103: Floating gate  
104: Interlayer insulation film  
105: Control gate  
106: Source  
107: Drain  
108: Electron  
111: Silicon substrate  
112: Direct tunnel oxide film  
113: Silicon nitride film  
114: Gate oxide film  
115a, 115b: Gate electrode  
116: Source  
117: Connecting diffusion layer drain  
118: Gate oxide film  
119: Drain  
121: Silicon substrate  
122: Gate oxide film

123: Selection gate electrode  
 124: Silicon oxide film  
 125: Silicon nitride film  
 126: Silicon oxide film  
 127: Side wall gate electrode  
 128: Source  
 129: Drain  
 CSL: Common source line  
 DL (DL1~DLn): Bit lines  
 MA: Memory cell array  
 M (M11~Mn m): Memory cells  
 Qc: MISFET  
 Qm: MISFET  
 Qs: Selection MISFET  
 SL (SL1~SLm/2): Source lines  
 SA: Sense amplifier  
 WL (WL1~WLm): Word lines  
 X-DEC: Low decoder  
 Y-DEC: Column decoder

**[Abstract]**

**[Objective]**

The objective of this invention is to provide a nonvolatile memory equipped with a new cell structure having both scalability comparable to the floating gate type memory cell and reliability equivalent to or higher than the MNOS-type memory cell and its manufacturing method.

**[Resolution Means]**

The MISFET Qm comprising nonvolatile memory consists of a gate electrode 10a formed on the gate insulation film, an n<sup>+</sup>-type semiconductor region 13 (drain) whose one end extends to the bottom of a gate electrode 10a, an n<sup>+</sup>-type semiconductor region 15 (high concentration source) formed offset relative to the gate electrode 10a, and an n<sup>-</sup>-type semiconductor region 11 (low concentration source) whose one end extends to the bottom of the gate electrode 10a. In the gate insulation film, the drain side consists of one layer of silicon oxide film 9, the source side consists of three layers of insulation films where a silicon oxide film 7, a silicon nitride film 8, and a silicon oxide film 9 are accumulated.

**[Fig. 5]**

| Terminal | Bit lines (Drain voltage) |          | Word lines (Gate voltage) |          | Source lines | Well |
|----------|---------------------------|----------|---------------------------|----------|--------------|------|
|          | Select                    | Deselect | Select                    | Deselect |              |      |
| Write    | 5 V                       | 0 V      | 5 V                       | 0 V      | 0 V          | 0 V  |
| Erase    | 0 V                       | 0 V      | -10 V                     | 0 V      | 5 V          | 5 V  |
| Read     | 2 V                       | 0 V      | 2 V                       | 0 V      | 0 V          | 0 V  |

**[Fig. 34]**

1. Isolation formation
2. Deep n-type well implantation
3. Shallow n-type well implantation

4. p-type well implantation  
 5. Gate electrode processing  
 8. Peripheral pMOS low concentration source & drain implantation  
 9. n<sup>+</sup>-type semiconductor region implantation  
 10. p<sup>+</sup>-type semiconductor region implantation  
 11. Contact hole opening  
 12. First metal wiring processing

[Fig. 38]

| Terminal | Bit lines (D) |          | Word lines (SG) |          | Write/Erase lines (PEG) |          | Source lines (S) | Well |
|----------|---------------|----------|-----------------|----------|-------------------------|----------|------------------|------|
|          | Select        | Deselect | Select          | Deselect | Select                  | Deselect |                  |      |
| Write    | 5 V           | 0 V      | 2 V             | 0 V      | 5 V                     | 0 V      | 0 V              | 0 V  |
| Erase    | 0 V           | 0 V      | 0 V             | 0 V      | -10 V                   | 0 V      | 5 V              | 5 V  |
| Read     | 2 V           | 0 V      | 2 V             | 0 V      | 2 V                     | 0 V      | 0 V              | 0 V  |

[Fig. 40]

| Terminal | Bit lines (Drain voltage) |          | Word lines (Gate voltage) |          | Source lines | Well |
|----------|---------------------------|----------|---------------------------|----------|--------------|------|
|          | Select                    | Deselect | Select                    | Deselect |              |      |
| Write    | 0 V                       | 5 V      | 5 V                       | 0 V      | 5 V          | 0 V  |
| Erase    | 0 V                       | 0 V      | -10 V                     | 0 V      | 5 V          | 5 V  |
| Read     | 2 V                       | 0 V      | 2 V                       | 0 V      | 0 V          | 0 V  |

Continued from the front page

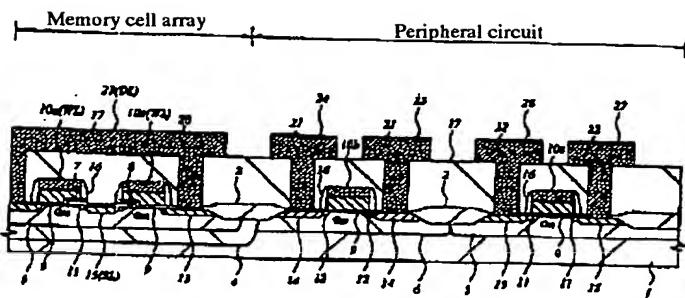
(56) References

Pat Dis Hei 6-350098 (JP, A)  
Pat Dis Hei 4-337672 (JP, A)  
Pat Dis Hei 6-232416 (JP, A)  
Pat Dis Hei 6-161833 (JP, A)  
Pat Dis Hei 7-78893 (JP, A)  
Pat Dis Hei 6-244434 (JP, A)  
Pat Dis Hei 2-295169 (JP, A)  
Pat Dis Hei 4-56283 (JP, A)

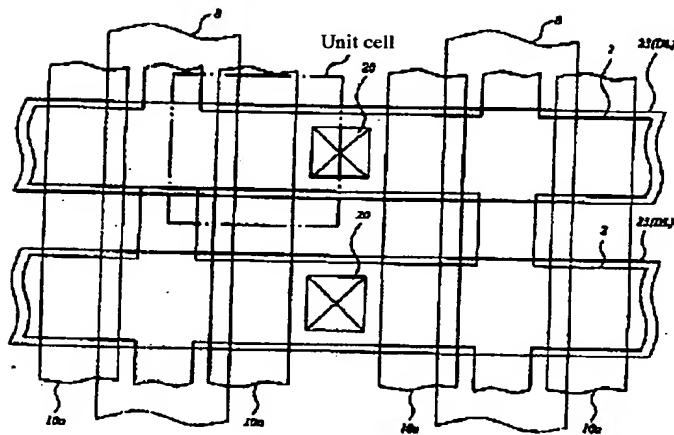
(58) Investigated Fields (Int. Cl.<sup>6</sup>, DB name)

H01L 27/115  
H01L 21/8247  
H01L 29/788  
H01L 29/792

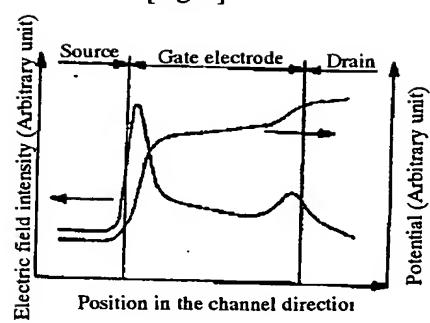
[Fig. 2]

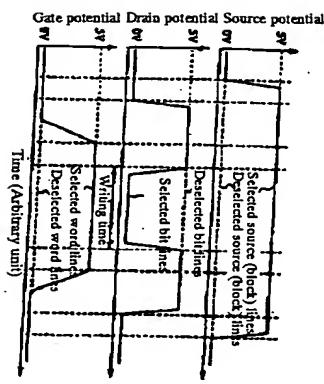


[Fig. 3A]

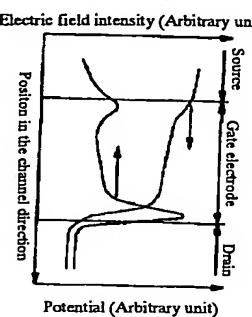


[Fig. 6]





[Fig. 41]



[Fig. 42]

[Fig. 55]

